

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

T. TAKAHASHI
5/7/01 #
Q 64325²
10f1

JC997 U.S. PRO
09/849362



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 5月 11日

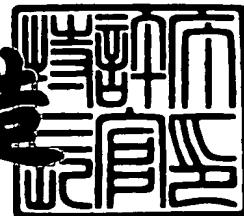
出願番号
Application Number: 特願2000-138478

出願人
Applicant(s): 日本電気株式会社

2001年 3月 23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3023279

【書類名】 特許願
【整理番号】 47500363PY
【あて先】 特許庁長官殿
【国際特許分類】 H04Q 3/00
【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 高橋 次男

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100083987

【弁理士】

【氏名又は名称】 山内 梅雄

【手数料の表示】

【予納台帳番号】 016252

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006535

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マトリクススイッチ回路

【特許請求の範囲】

【請求項1】 最小単位のデータとしての単位データを予め定めた個数nだけシリアルに配列して1つのフレームを形成したものを、所定のフレーム数mだけ並列に入力して、この $n \times m$ のマトリクスを同じく $n \times m$ のマトリクスで単位データを任意に組み替えるためにn個ずつm系統に分けられたフレームのそれについて並列入力されるm個の単位データから1つを選択する合計で $n \times m$ 個用意されたm対1セレクタと、

これら $n \times m$ 個用意されたm対1セレクタのうちのそれぞれの系統別に分けられたm個のm対1セレクタから同時にそれぞれ選択されるn個の単位データをシリアルに配列してそれぞれ1つずつのフレームをm個作成するフレーム作成手段とを具備することを特徴とするマトリクススイッチ回路。

【請求項2】 最小単位のデータとしての単位データを予め定めた12個ずつシリアルに配列して1つのフレームを形成したものを、64フレームだけ並列に入力して、この 12×64 のマトリクスを同じく 12×64 のマトリクスで単位データを任意に組み替えるために12個ずつ64系統に分けられたフレームのそれについて並列入力される64個の単位データから1つを選択する合計で 12×64 個用意された64対1セレクタと、

これら 12×64 個用意された64対1セレクタのうちのそれぞれの系統別に分けられた64個の64対1セレクタから同時にそれぞれ選択される12個の単位データをシリアルに配列してそれぞれ1つずつのフレームを64個作成するフレーム作成手段

とを具備することを特徴とするマトリクススイッチ回路。

【請求項3】 前記m対1セレクタからそれぞれ出力される単位データを書き込む読み出し自在な第1および第2のメモリと、これら第1および第2のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えるメモリ切替手段を具備することを特徴とする請求項1記載のマトリクススイッチ回路。

【請求項4】 前記単位データはSTS-1であることを特徴とする請求項1または請求項2記載のマトリクススイッチ回路。

【請求項5】 前記64対1セレクタは、それぞれ8本からなる64組のセレクタ入力線と、これと同数でこれらセレクタ入力線を一方の入力とするデータイネーブル用の2入力アンドゲートと、これらの2入力アンドゲートの出力側に配置された64入力のオアゲートと、これら2入力アンドゲートの他方の入力端子にそれぞれ1本ずつ合計64本の出力信号線を接続した64×64デコーダを具備することを特徴とする請求項2記載のマトリクススイッチ回路。

【請求項6】 前記64対1セレクタは、それぞれ4本ずつからなる8組のセレクタ入力線を、合計で16グループ分だけ有したセレクタ入力線群と、このセレクタ入力線群のそれぞれのセレクタ入力線に一方の入力端子を接続した合計64個の2入力アンドゲートと、前記グループごとに4個ずつ用意されそれらの出力端子を前記合計64個の2入力アンドゲートの他方の入力端子に接続した各グループごとの2入力アンドゲートと、前記合計64個の2入力アンドゲートの各グループごとに用意されこれらの出力の4個ずつを入力して1個を選択する4×1セレクタと、これら4×1セレクタの各グループ1つずつの出力を入力して論理和をとり選択後の出力とする合計8個のオアゲートと、前記各グループごとの2入力アンドゲートおよび4×1セレクタにアドレス情報を供給するアドレス情報供給手段を具備することを特徴とする請求項2記載のマトリクススイッチ回路。

【請求項7】 前記m対1セレクタからそれぞれ出力される単位データを書き込む第1のメモリと、この第1のメモリに書き込みの終了したデータを読み込む読み出し自在な第2のメモリと、これら第1および第2のメモリのデータの書き込みを制御するメモリ制御手段を具備することを特徴とする請求項1記載のマトリクススイッチ回路。

【請求項8】 前記m対1セレクタはFPGAセルを内蔵した構成となっていることを特徴とする請求項1記載のマトリクススイッチ回路。

【請求項9】 8×64個用意され、前記64対1セレクタに入力すべき入力データを8ビットパラレルで622Mbpsずつ64本に分けた単位データと

して一方の入力端子に代わって入力し、他方の入力端子に単位データの選択されるタイムスロットでのみオンとなるセレクタ出力を入力する2入力アンドゲートを備え、これらの2入力アンドゲートの出力側に前記64対1セレクタが配置されていることを特徴とする請求項2記載のマトリクススイッチ回路。

【請求項10】 64種類中の選択されているフレームの識別を行うデコーダ回路を備え、64組中の順に選択される12組ずつのフレームに対応する回路部分のみを動作させ、他の52組ずつの回路部分を非動作とする消費電力制御手段を具備することを特徴とする請求項2記載のマトリクススイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はたとえば光ファイバを用いたファイバリングシステムで信号の入出力を行うためのマトリクススイッチ回路に係わり、特にネットワークの規模が比較的大きな場合に有効となるマトリクススイッチ回路に関する。

【0002】

【従来の技術】

図20は、経済的で高品質なネットワークを実現する従来のディジタルクロスコネクトシステムを表したものである。このディジタルクロスコネクトシステム100は、第1の局101～第4の局104の間に右回りと左回り各1組の光ファイバ105、106をリング状となるように配置した第1の光リング107と、この第1の光リング107の第4の局104を共通とする第2の光リング108とから構成されている。第2の光リング108は、この例では同様に右回りと左回り各1組の光ファイバ109、110を第4～第7の局104、111～113の間にリング状に配置している。それぞれの局101～104、111～113は、第1の局101で具体的に示したように、迂回パスの等の設定等を行うクロスコネクト装置121と、このクロスコネクト装置121と一般加入者側122の間に配置された交換機等の装置123から構成されている。

【0003】

このようなディジタルクロスコネクトシステム100で、たとえば第1の局1

01から第2の局102に左回りに光信号を伝送するパス 114_{12} が断線したとする。この図に示したシステムでは、ネットワークの信頼性を高めるために右回りと左回り各1組の光ファイバ105、106が配置されている。したがってこのような断線が発生した場合には、第1の局101と第2の局102を右回りで接続するための迂回パス 115_{12} の設定が行われることで、通信ラインが確保される。このように右回りと左回り各1組（合計2組）の光ファイバ105、106を用意したシステムを2ファイバリングシステムと呼ぶ。図示しないが右回りと左回りを各2組（合計4組）用意して更に信頼性を高めたシステムは、4ファイバリングシステムと呼ばれている。4ファイバリングシステムの場合にも、通信容量の変更や迂回パスの設定を行うためのディジタルクロスコネクトシステムが必要となる。

【0004】

ところで、図20に示したディジタルクロスコネクトシステム100でそれぞれの局101～104、111～113のクロスコネクト装置121は、その前提として「すべての入力とすべての出力の接続関係を、いかなる組み合わせにでも自由に設定あるいは変更することができる」とする機能が必要である。一般的にはこのような機能をディジタルLSIで実現している。この明細書では、このような機能を実現するLSIをマトリクススイッチLSIと呼ぶことにする。

【0005】

近時、ネットワークの規模が飛躍的に増大している。これに伴って、マトリクススイッチLSIの大容量化が求められている。このような背景でマトリクススイッチLSIに求められる課題は、（1）スイッチ容量の大規模化に伴うゲート規模やレイアウトの困難を克服することと、（2）スイッチ容量の大規模化に伴う消費電力の増加に関する問題を克服すること等である。このような問題を次に具体的に説明する。

【0006】

図21は、図20に示した第1の局の構成を更に具体的に表わしたものである。第2の局102等は構成が実質的に同一であるので、ここでは第1の局101を代表として説明を行う。第1の局101は、10Gb/s（ギガ／秒）の容量

を有する第1～第3の光ファイバ131₁～131₃と、2.5 Gbpsの容量を有する第4～第7の光ファイバ131₄～131₇を光信号の入力用として備えており、光信号の出力用としては同様に10 Gbpsの容量を有する第1～第3の光ファイバ132₁～132₃と、2.5 Gbpsの容量を有する第4～第7の光ファイバ132₄～132₇を備えている。入力側の第1～第3の光ファイバ131₁～131₃は、それぞれ第1の光－電気変換部141と終端処理および信号の変換を行う第1の終端処理部142とを備えた第1の前段信号処理部143₁～143₃と接続されており、第4～第7の光ファイバ131₄～131₇は、それぞれ第2の光－電気変換部144と第2の終端処理および信号の変換を行う第2の終端処理部145を備えた第2の前段信号処理部143₄～143₇とに接続されている。

【0007】

第1の終端処理部142はSTS (Synchronous Transfer Signal) - 192の終端処理を行うと共に、入力された信号を16組のSTS-12に変換する。第2の終端処理部145は、終端処理を行うと共に、入力された信号を4組のSTS-12に変換する。第1の終端処理部142と第2の終端処理部145で変換後のSTS-12の組の数が異なるのは、前者の第1～第3の光ファイバ131₁～131₃と後者の第4～第7の光ファイバ131₄～131₇の間で伝送するデータ量が相違するからである。

【0008】

第1の前段信号処理部143₁～143₃の出力側に配置されたそれぞれ16本の信号線146₁～146₃と、第2の前段信号処理部143₄～143₇の出力側に配置されたそれぞれ4本の信号線146₄～146₇とは、マトリクススイッチ147の入力側に接続されている。このマトリクススイッチ147の出力側には、それぞれ16本の信号線148₁～148₃から出力される信号を入力する第1の変換部151とこの第1の変換部151によって変換された電気信号を光信号に変換する第1の電気－光変換部152とを備えた第1の後段信号処理部153₁～153₃と、それぞれ4本の信号線148₄～148₇から出力される信号を入力する第2の変換部154とこの第2の変換部154によって変換された電気信

号を光信号に変換する第2の電気-光変換部155とを備えた第2の後段信号処理部 $153_4 \sim 153_7$ とが接続されている。第1および第2の後段信号処理部 $153_1 \sim 153_7$ の出力側には、前記した出力側の第1～第7の光ファイバ $132_1 \sim 132_7$ が接続されている。

【0009】

このような構成の第1の局101では、第1～第7の光ファイバ $131_1 \sim 131_7$ による入力のトータル容量がそれぞれの入力を総計した 40 Gbps となり、第1～第7の光ファイバ $132_1 \sim 132_7$ による出力のトータル容量も同様に 40 Gbps となっている。また、切り替えを行う信号の最小単位の単位データを 52 Mbps のSTS-1とすると、 10 G 当たりのSTS-1は192個である。したがって、前記した 40 G のマトリクススイッチの場合にはこの4倍の768個のSTS-1が必要となる。すなわち、スイッチLSIのスイッチ部の規模は、768入力で768出力となる。一般にN入力でM出力のスイッチを $N \times M$ マトリクススイッチと呼んでいる。したがって、図21に示した例の場合には 768×768 マトリクススイッチのLSIが必要になる。

【0010】

前記したSTS-1の単位の設定を自由に行うことができれば、 156 Mbps (STS-3)、 622 Mbps (STS-12)、 2.5 Gbps (STS-48)、 10 Gbps (STS-192)単位の設定もマトリクススイッチの設定で可能になる。このような大規模なスイッチを実現するスイッチアーキテクチャとして従来から存在する代表的なもの3つについて次に説明する。

【0011】

図22は、従来提案されたクロスポイントスイッチ回路の構成を表わしたものである。特開平8-65719号公報で開示されたこのクロスポイントスイッチ回路は、第1～第4の入力端子 $162_1 \sim 162_4$ と、第1～第4の出力端子 $163_1 \sim 163_4$ とを備えており、スイッチ・デコーダ一体部164とアドレスバッファ部165によって構成されている。スイッチ・デコーダ一体部164は、4個のスイッチおよびデコーダ単位ユニット $166_1 \sim 166_4$ で構成され、これらには第1～第4の入力端子 $162_1 \sim 162_4$ が共通接続されている。アドレスバ

ツファ部165はそれぞれのスイッチおよびデコーダ単位ユニット $166_1 \sim 166_4$ に対応するアドレスバッファ単位ユニット $167_1 \sim 167_4$ で構成され、それぞれ2進のアドレス信号 $168_{11}, 168_{21}, 168_{12}, 168_{22}, 168_{13}, 168_{23}, 168_{14}, 168_{24}$ が供給され、それが相補アドレス信号とされている。相補アドレス信号は対応するスイッチおよびデコーダ単位ユニット $166_1 \sim 166_4$ に供給されるようになっている。各スイッチおよびデコーダ単位ユニット $166_1 \sim 166_4$ では、スイッチおよびデコーダ兼用のNチャネル型MOS (metal oxide semiconductor) パワートランジスタ171が、アドレス2進桁数の多段接続構成とされて、デコードすべき対応相補アドレス信号を受けてオン・オフされ、出力端子に対して入力端子が選択されるように信号パスが形成されるようになっている。

【0012】

相互に対応されるスイッチおよびデコーダ単位ユニット166とアドレスバッファ単位ユニット167は、セレクタを構成している。1つのアドレスバッファ単位ユニット 167_1 は、直列2段のインバータ172、173と、双方のインバータ172、173の結合点に入力が結合されたノンインバータ174によってアドレス信号 168_{21} の内部相補アドレス信号を形成し、直列2段のインバータ175、176と、双方のインバータ175、176の結合点に入力が結合されたノンインバータ177によってアドレス信号 168_{11} の内部相補アドレス信号を形成している。その他のアドレスバッファ単位ユニット $167_2 \sim 167_4$ も同様に構成されている。この図22に示した回路ではスイッチ送出としてトランジスタゲートを使用している。

【0013】

図23は、従来の他の手法として、768対1セレクタを一般的なCMOS (complementary metal oxide semiconductor) ゲート回路で構成した例を示したものである。このマトリクススイッチ回路181は、622M (メガ)bpsずつ64本のデータ (64フレームの並列データ) を622Mb/sずつ第1～第64の1ツ～12 (1 to 12) シリアル・パラレル変換回路 $183_{01} \sim 183_{64}$ に入力し、これらを52Mb/sずつ768本の単位データからなるパラレル

データ184に変換する。変換後のパラレルデータ184は、768の中からそれぞれ1つを選択する合計768組のセレクタ185₀₀₁～185₇₆₈に入力され、10本×768組のセレクタ選択信号186によって、入力側と出力側が任意に対応付けられた768本の単位データからなるパラレルデータ187に変換される。これら768本の単位データは12本ずつが第1～第64の12ツー1（12 to 1）パラレル・シリアル変換回路188₀₁～188₆₄に入力され、それぞれ1単位のフレームが再構成されて、622Mbpsずつ64本のデータ189として出力される。

【0014】

この図23に示したマトリクススイッチ回路181は、CMOSゲート回路で構成されているので、図22に示したトランスマッピングを使用した技術と異なり、速度がかなり高速化する。

【0015】

図24は、従来の手法の更に他の例を示したものである。このマトリクススイッチ回路190は、622Mbps64本のライトデータ191をメモリ192に入力して、入出力関係を任意に設定した622Mbps64本のリードデータ193を出力するようにしている。メモリ192には10ビット構成のライトアドレス194および所定のライトクロック195が入力され、10ビット構成のリードアドレス196と所定のリードクロック197が供給される構成となっている。

【0016】

図25は、この図24に示したメモリを具体的に表わしたものである。ただし、図25は全部で8個で構成される構成メモリ192のうちの1個を示している。構成メモリ192は、64対1セレクタがそれぞれ64個備えられた第1～第12のセレクタ部194₀₁～194₁₂と、これらのセレクタ部194₀₁～194₁₂の12ずつの出力を入力して1つを選択する第1～第64の12対1セレクタ195₀₁～195₆₄を備えている。これらのセレクタ195₀₁～195₆₄がそれぞれ選択したリードデータ193₀₁～193₆₄が8個使用されることで、STS-12信号（ただし1バイトは8ビットで構成される。）の各ビットを1個の構

成メモリ192で処理することができる。

【0017】

ただし、この構成メモリ192が8個の状態ではSTS-12信号をメモリに書き込んでいる状態で読み出しを行うことができない。そこで、構成メモリ192を8個の倍の16個とし、2組のメモリ構成とすると、書き込みと読み出しを並行して行うことができる。

【0018】

【発明が解決しようとする課題】

以上、図22～図25を使用して比較的規模の大きな構成に対応することができるマトリクススイッチ回路を示した。しかしながらこれらのマトリクススイッチ回路はそれぞれ次のような問題がある。まず、図22に示したマトリクススイッチ回路161は回路規模が小さいことが大きな特徴となっている。したがって大規模スイッチを構成する場合には多段接続が必要になる。しかしながら、この図22に示した回路ではスイッチ送出としてトランスマルチゲートを使用している。このため、配線容量に加えてスイッチトランジスタを構成するスイッチおよびデコーダ兼用のNチャネル型MOSトランジスタ171のソース、ドレインの各端子の対グラウンド容量が負荷容量として見える。したがって、多段接続を行うと急激に負荷容量が増して、高速動作ができなくなる。これは、この図22で示したように基本構成が4対1のセレクタ程度では問題とならないが、前記した768×768マトリクススイッチの場合には768対1セレクタ構成とする必要があり、高速化の観点から全く使用することができない。

【0019】

次に図23に示したマトリクススイッチ回路181では、スイッチの入力部の配線本数が768本と大変多くなっている。また、この技術では768本の信号線に分けられた信号を768個の768対1セレクタに分配している。したがって、信号の配線数が非常に多く回路のレイアウトの設計が大変であるという問題がある。なお、STS-1の1バイト(8ビット)分をこの図23に示したように8ビットシリアル処理を行ったり、また図示を省略するが4ビットシリアル、8ビットパラレル処理等の変更を行うように各種の回路構成を考えることができ

る。しかしながらどの組み合わせを行っても、配線数の多さから回路のレイアウトが非常に困難であることに変わりはない。

【0020】

また、図24あるいは図25に示したマトリクススイッチ回路191では、書き込み時にはメモリでの消費電力が大きく、読み出し時にはセレクタの消費電力が大きいので、結果的に消費電力が大きくなるという問題がある。また、書き込みや読み出しを独立して行うときには構成メモリ192を倍の数だけ必要とするので、回路規模が大きくなるという問題もある。

【0021】

LSIの微細化が進んで、ゲートの収容能力が飛躍的に増加している。しかしながら回路規模の増加の比率に消費電力の削減の比率が追いつかない状況があり、高速LSIの場合にはLSIの実現できる規模を左右するファクタとして消費電力の制限が最もクリチカルな問題となっている。

【0022】

そこで本発明の目的は、LSIの微細化の進む中で、低消費電力化を可能とするLSIとしてのマトリクススイッチ回路を提供することにある。

【0023】

また本発明の他の目的は、レイアウト性に優れたLSIとしてのマトリクススイッチ回路を提供することにある。

【0024】

【課題を解決するための手段】

請求項1記載の発明では、(イ)最小単位のデータとしての単位データを予め定めた個数nだけシリアルに配列して1つのフレームを形成したものを、所定のフレーム数mだけ並列に入力して、この $n \times m$ のマトリクスを同じく $n \times m$ のマトリクスで単位データを任意に組み替えるためにn個ずつm系統に分けられたフレームのそれぞれについて並列入力されるm個の単位データから1つを選択する合計で $n \times m$ 個用意されたm対1セレクタと、(ロ)これら $n \times m$ 個用意されたm対1セレクタのうちのそれぞれの系統別に分けられたm個のm対1セレクタから同時にそれぞれ選択されるn個の単位データをシリアルに配列してそれぞれ1

つづつのフレームをm個作成するフレーム作成手段とをマトリクススイッチ回路に具備させる。

【0025】

すなわち請求項1記載の発明では、m個の単位データから1個の単位データを選択するm対1セレクタをn×m個用意する。これらのm対1セレクタにn個ずつm系統に分けられたフレームのそれぞれのデータを並列に入力する。ここで単位データとはたとえばSTS-1である。このSTS-1の例の場合の1フレームとはSTS-12であり、STS-1が12個時系列的に連続したものである。この例の場合には、n個のm対1セレクタから単位時間当たりに選択されて出力される単位データは12個である。そこでフレーム作成手段でこれらをシリアルに配列し直すと1つのフレームが形成されることになる。したがって、全体としてはフレーム作成手段はフレームをm個作成することになり、n×mのマトリクスのフレームを形成する個々の単位データがスイッチングされることになる。このマトリクススイッチ回路では、それぞれのm対1セレクタが1つの単位データを選択するように設定されるので、m対1セレクタを構成するm個のスイッチング回路部分の1つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。

【0026】

請求項2記載の発明では、(イ)最小単位のデータとしての単位データを予め定めた12個ずつシリアルに配列して1つのフレームを形成したものを、64フレームだけ並列に入力して、この12×64のマトリクスを同じく12×64のマトリクスで単位データを任意に組み替えるために12個ずつ64系統に分けられたフレームのそれについて並列入力される64個の単位データから1つを選択する合計で12×64個用意された64対1セレクタと、(ロ)これら12×64個用意された64対1セレクタのうちのそれぞれの系統別に分けられた64個の64対1セレクタから同時にそれぞれ選択される12個の単位データをシリアルに配列してそれぞれ1つずつのフレームを64個作成するフレーム作成手段とをマトリクススイッチ回路に具備させる。

【0027】

すなわち請求項2記載の発明では、請求項1記載の発明における $n \times m$ のマトリクスを前記した単位データがSTS-1の例の場合で具体的に示したものである。64対1セレクタはそれぞれ64の入力の中から1つを選択する回路なので、64個のスイッチング回路部分の1つのみが選択動作に寄与するように回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。

【0028】

請求項3記載の発明では、請求項1記載のマトリクススイッチ回路は、m対1セレクタからそれぞれ出力される単位データを書き込む読み出し自在な第1および第2のメモリと、これら第1および第2のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えるメモリ切替手段を具備することを特徴としている。

【0029】

すなわち請求項3記載の発明では、m対1セレクタから比較的高速で単位データが次々と選択されて出力されるとき、これらの単位データの読み出し側との時間的な調整を図るために第1および第2のメモリの2つのメモリを用意することにしている。これら第1および第2のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えることで、単位データの書き込みや読み出しの時間的な余裕を持たせることができになる。

【0030】

請求項4記載の発明では、請求項1または請求項2記載のマトリクススイッチ回路で、単位データはSTS-1であることを特徴としている。このとき請求項2記載のフレームはSTS-12となる。

【0031】

請求項4記載の発明の例についてはすでに説明した。単位データやフレームのサイズはこの例に限定されるものでないことは当然である。

【0032】

請求項5記載の発明では、請求項2記載のマトリクススイッチ回路で、64対1セレクタは、それぞれ8本からなる64組のセレクタ入力線と、これと同数で

これらセレクタ入力線を一方の入力とするデータイネーブル用の2入力アンドゲートと、これらの2入力アンドゲートの出力側に配置された64入力のオアゲートと、これら2入力アンドゲートの他方の入力端子にそれぞれ1本ずつ合計64本の出力信号線を接続した6ツー64デコーダを具備することを特徴としている。

【0033】

すなわち請求項5記載の発明は、後に説明する本発明の第1の変形例に対応するものである。この請求項5記載の発明では、特定の1組のゲートが導通し、残りの63組のゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【0034】

請求項6記載の発明では、請求項2記載のマトリクススイッチ回路で、64対1セレクタは、それぞれ4本ずつからなる8組のセレクタ入力線を、合計で16グループ分だけ有したセレクタ入力線群と、このセレクタ入力線群のそれぞれのセレクタ入力線に一方の入力端子を接続した合計64個の2入力アンドゲートと、グループごとに4個ずつ用意されそれらの出力端子を合計64個の2入力アンドゲートの他方の入力端子に接続した各グループごとの2入力アンドゲートと、合計64個の2入力アンドゲートの各グループごとに用意されこれらの出力の4個ずつを入力して1個を選択する4ツー1セレクタと、これら4ツー1セレクタの各グループ1つずつの出力を入力して論理和をとり選択後の出力とする合計8個のオアゲートと、各グループごとの2入力アンドゲートおよび4ツー1セレクタにアドレス情報を供給するアドレス情報供給手段を具備することを特徴としている。

【0035】

すなわち請求項6記載の発明は、後に説明する本発明の第2の変形例に対応するものである。この請求項6記載の発明では、請求項5記載の発明と同様にゲートの遮断制御によって消費電力の低減を図ることができる。

【0036】

請求項7記載の発明では、請求項1記載のマトリクススイッチ回路は、m対1

セレクタからそれぞれ出力される単位データを書き込む第1のメモリと、この第1のメモリに書き込みの終了したデータを読み込む読み出し自在な第2のメモリと、これら第1および第2のメモリのデータの書き込みを制御するメモリ制御手段を具備することを特徴としている。

【0037】

すなわち請求項7記載の発明は、後に説明する本発明の第3の変形例に対応するものである。この請求項7記載の発明では、第1のメモリの書き込みの終了したデータを第2のメモリに書き込んで読み出すようにしたので、m対1セレクタから単位データが高速に読み出される場合であっても後段の回路がこれらの単位データを安定して読み出すことができる。

【0038】

請求項8記載の発明では、請求項1記載のマトリクススイッチ回路は、m対1セレクタはFPGAセルを内蔵した構成となっていることを特徴としている。

【0039】

すなわち請求項8記載の発明は、後に説明する本発明の第4の変形例に対応するものである。この請求項8記載の発明では、FPGA部品を備えたLSIやFPGA部品（パート）そのものでスイッチを実現するので、規模と消費電力の両面が優れたマトリクススイッチ回路を構成することができる。

【0040】

請求項9記載の発明では、請求項2記載のマトリクススイッチ回路は、 8×6 4個用意され、64対1セレクタに入力すべき入力データを8ビットパラレルで622Mbpsずつ64本に分けた単位データとして一方の入力端子に代わって入力し、他方の入力端子に単位データの選択されるタイムスロットでのみオンとなるセレクタ出力を入力する2入力アンドゲートを備え、これらの2入力アンドゲートの出力側に64対1セレクタが配置されていることを特徴としている。

【0041】

すなわち請求項9記載の発明は、後に説明する本発明の第5あるいは第6の変形例に対応するものである。この請求項9記載の発明では、64対1セレクタの入力端子側が12タイムスロット中に1回（ただし変化点の数で数えると2回）

しか動作しないことになるので、64対1セレクタの入力の信号レートが6分の1に下がったことに相当する結果が生じ、その消費電力が6分の1となるという利点が生じる。

【0042】

請求項10記載の発明では、請求項2記載のマトリクススイッチ回路は、64種類中の選択されているフレームの識別を行うデコーダ回路を備え、64組中の順に選択される12組ずつのフレームに対応する回路部分のみを動作させ、他の52組ずつの回路部分を非動作とする消費電力制御手段を具備することを特徴としている。

【0043】

すなわち請求項10記載の発明は、後に説明する本発明の第7の変形例に対応するものである。この請求項10記載の発明では、64組中の12組の回路部分が動作するので、動作する信号は64分の12で、約5.3分の1となり、約5分の1に抑えることができる。

【0044】

【発明の実施の形態】

【0045】

【実施例】

以下実施例につき本発明を詳細に説明する。

【0046】

図1は本発明の一実施例におけるマトリクススイッチ回路を使用したディジタルクロスコネクトシステムの要部を表わしたものである。このディジタルクロスコネクトシステム201を構成する所定の光リング202は第1～第4の光ファイバ203₁～203₄からなる4ファイバリングシステムを構成している。この光リング202上に配置された所定の局205内のマトリクススイッチ回路206は、右回りの2組の光ファイバ203₁、203₂および左回りの2組の光ファイバ203₃、203₄ならびに一般加入者側207の光ファイバ208からデータを入力している。これら入力されるデータの容量が合計で40Mbpsであるとする。マトリクススイッチ回路206は、これら入力されたデータをSTS-

1を最小単位のデータ量（単位データ）として切り替える。そして、右回りの2組の光ファイバ 203_1 、 203_2 および左回りの2組の光ファイバ 203_3 、 203_4 ならびに一般加入者側 207 の光ファイバ 209 からデータを出力する。出入力されるデータの容量が 40 G b p s の場合には、STS-1が 52 M b p s であるので、これは 768 入力、 768 出力に相当する。本実施例では、出入力信号の速度は 622 M b p s であると仮定する。したがって、本実施例では出入力共に 622 M b p s の信号が 64 組 ($40\text{ G} \div 622\text{ M b p s} = 64$) 存在している。

【0047】

図2～図4は、図1に示したマトリクススイッチ回路における第1～第3回路部を表わしたものである。これらの各回路部 211 ～ 213 の関係は次のようになる。まず、第2回路部 212 （図3）は 12 個の第1回路部 211_{00} ～ 211_{11} と、これらの選択を行うためのカウンタ出力 221 を出力する 5 ビットカウンタ 222 と、これら 12 個の第1回路部 211_{00} ～ 211_{11} の出力を選択する 12 対 1 セレクタ 223 で構成されており、ここからはSTS-1を 12 個連結した形式のSTS-12からなる出力側のフォーマットによるフレーム信号 224 が出力される。第3回路部 213 （図4）は、図3に示した 64 個の第2回路部 212_{00} ～ 212_{63} から構成されており、STS-12からなる 64 個のフレーム信号 224_{00} ～ 224_{63} が出力されるようになっている。

【0048】

第1回路部 211 は、図2に示すように、 40 G の入力データ 231 を 8 ビットパラレルで 622 M b p s ずつ 64 本に分けた単位データ（STS-1） 232_{00} ～ 232_{63} を並列的に入力する 64 対 1 セレクタ 233 を備えている。 64 対 1 セレクタ 233 は、 8 ビット分、すなわち 8 個存在している。 64 対 1 セレクタ 233 には 10 ビットのアドレス情報 234 を構成する上位 6 ビットの情報 $234A$ がそのセレクト端子Sに入力されている。また、STS-12内の単位データ（STS-1）の位置を示す下位 4 ビットの情報 $234B$ はSTS-1選択回路 235 に入力され、図3に示した 5 ビットカウンタ 222 のカウンタ出力 221 との論理がとられるようになっている。

【0049】

64対1セレクタ233は、その入力端子D₀₀~D₆₃に64本に分けられて入力された単位データ232₀₀~232₆₃のうちの特定の1本のデータを選択するようになっている。図3には12個の第1回路部211₀₀~211₁₁が示されている。したがって、図3に示した第2回路部212の12対1セレクタ223は、図2に示した個々のSTS-12すなわち1フレーム分の信号を選択していることになり、64個の第2回路部212₀₀~212₆₃が配置された第3回路部213が64組のSTS-12を出力することになる。

【0050】

図5は、第3回路部の全体的な構成の概要を、第1回路部ならびに第2回路部を用いて表わしたものである。この図を用いて第3回路部213と第1および第2回路部211、212の関係を説明する。まず第0の第2回路部212₀₀に着目してみる。第0の第2回路部212₀₀は64対1セレクタ233を奥行き方向に12個並行に並べたような構造を持っており、それぞれの64個の単位データ(STS-1)から1つを選択し、それら12個の単位データからなる組が12対1セレクタ223に入力されて時分割的に1単位データずつ選択される。そして12個の単位データが所望の組み合わせからなる1フレーム(STS-12)を構成してフレーム信号224₀₀として出力することになる。

【0051】

第1の第2回路部212₀₁も同様である。すなわち第1の第2回路部212₀₁も64対1セレクタ233を奥行き方向に12個並行に並べたような構造を持っており、それぞれの64個の単位データ(STS-1)から1つを選択し、それら12個の単位データからなる組が12対1セレクタ223に入力されて時分割的に1単位データずつ選択される。そして、12個の単位データが所望の組み合わせからなる1フレーム(STS-12)を構成して第1のフレーム信号224₀₁として出力することになる。以下同様に各第2回路部212₀₀~212₆₃は、64対1セレクタ233の64個の入力端子D₀₀~D₆₃の選択の組み合わせによって、12×64通りの単位データの入出力を選択することになる。

【0052】

再び図2に戻って第1回路部211を具体的に説明する。64対1セレクタ233の出力端子Oから出力される8ビットパラレルの信号241はデータラッチフリップフロップ回路242に入力される。データラッチフリップフロップ回路242は第1のフリップフロップ回路243と第2のフリップフロップ回路244の2組のフリップフロップ回路から構成されており、それぞれのデータ入力端子Dに信号241を入力するようになっている。また、第1のフリップフロップ回路243のイネーブル端子Eには、STS-1選択回路235の出力信号246と図3に示した5ビットカウンタ222から出力される最上位ビットのデータとしてのセレクタ切替信号221Aの論理を反転させた信号との論理積を論理素子247でとった信号248が入力されるようになっている。それぞれのフリップフロップ回路243、244は8ビットずつのデータを並行して処理するので、それぞれは8個ずつのフリップフロップ回路（合計で16個のフリップフロップ回路）で構成されることになる。

【0053】

ここでSTS-1選択回路235は、5ビットカウンタ222から出力される下位4ビットのデータ221Bを構成するそれぞれのビットと前記した下位4ビットの情報234Bとを1つずつ排他論理和回路249で排他論理和をとった出力をアンドゲート251で論理積をとる回路であり、ここから出力信号246が出力されるようになっている。

【0054】

第2のフリップフロップ回路244の方はそのイネーブル端子Eに出力信号246とセレクタ切替信号221Aの論理積をとった信号がアンドゲート250によって入力されるようになっている。また、それぞれのフリップフロップ回路243、244のクロック入力端子Cには、78MHzのクロック信号253が入力されるようになっている。このように第1のフリップフロップ回路243と第2のフリップフロップ回路244ではセレクタ切替信号221Aの入力される信号レベルが反転しているので、一方に信号241が書き込まれる状態で他方は書き込みが禁止される。

【0055】

データラッチフリップフロップ回路242のこれら第1および第2のフリップフロップ回路243、244の出力端子Qからはラッチされた8ビットパラレルの出力信号255、256がそれぞれ出力され、読み出し面切替セレクタ257のそれぞれの入力端子D₀、D₁に入力されるようになっている。この読み出し面切替セレクタ257の選択入力端子Sにはセレクタ切替信号221Aが入力され、出力端子Oからは8ビットの出力信号258が出力される。したがって、第1および第2のフリップフロップ回路243、244のうち、入力端子Dから8ビットパラレルの信号241が書き込まれていない方の回路から8ビットパラレルの出力信号258が出力されることになる。このように第1および第2のフリップフロップ回路243、244を交互に使用しながらデータの読み書きを行うことで、動作の信頼性を高めることができる。

【0056】

次に図3に示す第2回路部212の構成の補足説明をする。第2回路部212は、図2に示したと同一構成の第0の第1回路部211₀₀～第11の第1回路部211₁₁と、これらから出力される出力信号258₀₀～258₁₁を入力して時系列的に単位データを順に選択する12対1セレクタ223と、78MHzのクロック信号253を入力してカウンタ出力221を各部に出力する5ビットカウンタ222から構成されている。このうち78MHzのクロック信号253は図2でも説明したように第0の第1回路部211₀₀～第11の第1回路部211₁₁にも供給されるようになっている。第0の第1回路部211₀₀～第11の第1回路部211₁₁には、これらを選択する10ビットのアドレス情報261₀₀～261₁₁が供給されている。12対1セレクタ223は12個のデータ入力端子D₀～D₁₁を備えており、それぞれ対応する第1回路部211₀₀～211₁₁から出力信号258₀₀～258₁₁を入力して、5ビットカウンタ222の下位4ビットのデータ221Bを選択入力端子Sに入力し、8ビットパラレルで出力信号258₀₀～258₁₁を逐一的に選択していくことになる。

【0057】

次に図4に示す第3回路部213の構成の補足説明を行う。第3回路部213を構成する第0～第63の第2回路部212₀₀～212₆₃は、40Gの入力データ

タ231と10ビット×12のデータ構成のアドレス情報 $271_{100} \sim 271_{63}$ および78MHzのクロック信号253を入力して、8ビットパラレルの第0～第63のフレーム信号 $224_{100} \sim 224_{63}$ を出力するようになっている。これは、STS-12の出力が8本×64組であり、512本の出力に相当する。

【0058】

図6は本実施例のマトリクススイッチ回路の各部の動作を示すものである。同図(a)は本実施例で使用される78MHzのクロック信号253である。このクロック信号253を入力して分周する5ビットカウンタ222のカウンタ出力221は、最下位ビットから順に図6の (b_0) 、 (b_1) 、 (b_2) 、 (b_3) 、 (b_4) で示す通りとなる。同図(c)は入力データ231(図2等参照)における1フレーム中の単位データ(STS-1)の番号を示している。このように78MHzのクロック信号253の各立ち上がりに同期して第0の単位データ(0)から第11の単位データ(11)まで単位データが12個ずつ繰り返されて各フレーム(STS-12)が構成される。同図(d)に示すように5ビットカウンタ222のカウンタ出力221の下位4ビットのデータ221Bが単位データ(STS-1)の番号そのものを表わしている。なお、この図および以下の図では明細書中に“7”等で表わしている符号を、作成する図のピッチ等の関係で(7)あるいは⑦等の他の表現形式で表わしているものがある。

【0059】

今、図2に示したデータラッチフリップフロップ回路242に622Mbps、64組中の20番目(“00”から“63”までを64組と数えた場合の20番目)で、フレーム(STS-12)における4番目(“00”から“11”までを12の単位データ(STS-1)として数えた場合の4番目)のバイトを与えるものとする。この場合、622Mbps単位のセクタアドレスとして6ビット構成で“00”から“63”まで指定可能なアドレスを“20”に設定し、単位データ(STS-1)を単位とするセクタアドレスとしての4ビット構成で“00”から“11”まで指定可能なアドレスを“4”に設定する。

【0060】

このような設定を行うと、図2に示した64対1セレクタ233は入力データ

231の中から20番目の信号を選択する。一方、図3に示した5ビットカウンタ222の下位4ビットのデータ221Bは4つの排他論理和回路249に1ビットずつパラレルに供給され、フレーム(STS-12)内の単位データ(STS-1)の位置を示す下位4ビットの情報234Bのうちの対応するものと1ビットずつ比較される。この結果として、これら4組のアドレスとカウント値を表わしたビットがすべて一致する条件が成立した時点でアンドゲート251に入力する4つのビットがすべて“1”となり、STS-1選択回路235の出力信号246が“1”となる(図6(e))。

【0061】

図6の時刻 t_1 がこの状態を示しており、同図(e)に示すように出力信号246が“1”となる。このとき、図2に示す論理素子247の出力が“1”となり、この場合には第1のフリップフロップ回路243のイネーブル端子Eがイネーブルとなる。これにより、結果的に622Mbps、64組中の20番目で、フレーム(STS-12)における4番目のバイトが第1のフリップフロップ回路243に取り込まれることになる(図6(f))。

【0062】

ところで第1のフリップフロップ回路243(図6(f))と第2のフリップフロップ回路244(図6(g))は、12クロック単位で、すなわち1フレーム単位でイネーブル端子Eによってイネーブルとディスエーブルが交互に繰り返される。そして、イネーブルがマスクされている側のフリップフロップ回路に対してはマスクされている間、書き込みが不可能となる。また、イネーブルがマスクされている側のフリップフロップ回路の出力信号255または256は、読み出し面切替セレクタ257によって出力信号258(図6(h))として出力される。

【0063】

したがって、図3に示した第1回路部 $211_{00} \sim 211_{11}$ のアドレスを、それぞれ出力すべき順番、すなわち第0の第1回路部 211_{00} から第1の第1回路部 211_{01} 、第2の第1回路部 211_{02} と順番に第1の第1回路部 211_{11} まで出力し、更に第0の第1回路部 211_{00} からこれを繰り返していくようにアドレ

スの設定を行っていくことで、フレーム（STS-12）内のフォーマットに沿って正しくそれぞれの単位データ（STS-1）が取り込まれた622Mbpsの出力信号を得ることができる。

【0064】

図7は、本実施例で説明した622Mbpsフォーマット（STS-12）と52Mbpsフォーマット（STS-1）の関係を説明するためのものである。本実施例でフレームとして示したSTS-12は、同図に示すように、12種類のSTS-1（単位データ）が1バイト（byte）ずつ並んだ構成となっている。図6ではSOH（Section Over Head）部311、321の最初のバイトで説明したが、ペイロード部312、322も含めてこの関係は成立する。

【0065】

以上説明した実施例ではSTS-1が12多重されたままの信号を扱うため、768入力、768出力のスイッチであるにも係わらず、入出力信号がそれぞれ 64×8 本ずなわち512本ですむ。図23に示した従来の手法の場合にはスイッチの出入り口で768本である。本実施例ではこのように信号数が少ないためにマトリクススイッチ回路のレイアウトを行うのが容易である。また、この実施例では64対1セレクタ233は選択のためのアドレス情報234が変更されるまで同一の622Mbpsの信号を選択するようになっている。実際のSDHシステムではアドレスの切り替えをフレーム単位で行っている。ここで1フレームは $125\mu\text{s}$ （8KHz）である。実際にはフレームごとにアドレスを切り替えることはない。したがって、アドレス切り替えの周波数はMHzオーダの信号の周波数に比べると十分低くなる。

【0066】

本実施例のような大規模スイッチは一般にCMOS-LSIで実現される。CMOS-LSIの消費電力は動作周波数に比例して増加する。本実施例のマトリクススイッチ回路ではアドレス線が固定となっているので、64対1セレクタ233の構成を工夫すると極めて低消費電力のセレクタを実現することができ、結果としてマトリクススイッチ回路の消費電力を非常に少なものにすることができます。

【0067】

発明の第1の変形例

【0068】

図8は本発明の第1の変形例として低消費電力を実現するセレクタの第1の例を示したものである。このセレクタ281は、それぞれ8本からなる64組のセレクタ入力線 282_{00} 、 282_{01} 、……、 282_{62} 、 282_{63} と、これと同数でこれらセレクタ入力線 282_{00} 、 282_{01} 、……、 282_{62} 、 282_{63} を一方の入力とするデータイネーブル用の2入力アンドゲート 283_{00} 、 283_{01} 、……、 283_{62} 、 283_{63} と、これらの2入力アンドゲート 283_{00} 、 283_{01} 、……、 283_{62} 、 283_{63} の出力側に配置された64入力のオアゲート 284 と、2入力アンドゲート 283_{00} 、 283_{01} 、……、 283_{62} 、 283_{63} の他方の入力端子にそれぞれ1本ずつ合計64本の出力信号線 285 を接続した6ツー64(6 to 64)デコーダ 286 によって構成されている。オアゲート 284 からは8ビットパラレルの信号 241 が出力されることになる。なお、この図8では他の図と同様にゲートについて一部のみを示している。したがって、たとえば2入力アンドゲート 283_{00} は合計で8個存在し、出力信号線 285 は8個に共通し、セレクタ入力線 282_{00} は8個に分配されている。

【0069】

64組のセレクタ入力線 282_{00} 、 282_{01} 、……、 282_{62} 、 282_{63} には、図2に示した40Gの入力データ 231 が8ビットパラレルで622Mbpsずつ64本に分けた単位データ(STS-1) 232_{00} ～ 232_{63} として入力される。6ツー64デコーダ 286 には6ビットのアドレス情報 287 が供給されており、この6ビットの情報によって64組の2入力アンドゲート 283_{00} 、 283_{01} 、……、 283_{62} 、 283_{63} のうちの特定の1組のゲートを導通させるようにしている。64組の2入力アンドゲート 283_{00} 、 283_{01} 、……、 283_{62} 、 283_{63} のうちの残りの63組はゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【0070】

発明の第2の変形例

【0071】

図9は本発明の第2の変形例として低消費電力を実現するセレクタの第2の例を示したものである。このセレクタ291は、図8に示した第1の変形例と比較するとデコーダ出力の配線数を減少させた点に特徴がある。この第2の変形例のセレクタ291は、それぞれ4本ずつからなる8組のセレクタ入力線 292_0 、 292_1 、 292_2 、 292_3 を、合計で16グループ分だけ有している。これらのセレクタ入力線 292_0 、 292_1 、 292_2 、 292_3 は、それぞれが対応する数の2入力アンドゲート 293_0 、 293_1 、 293_2 、 293_3 の一方に入力されている。2入力アンドゲート 293_0 、 293_1 、 293_2 、 293_3 の他方の入力端子には、それぞれのグループごとに4個ずつ用意された4入力アンドゲート 294_{00} ～ 294_{15} の対応する出力端子が接続されている。これら各グループの4入力アンドゲート 294_{00} ～ 294_{15} のそれぞれの入力端子には、6ビットパラレルのアドレスライン 296 のうちの4ビットのアドレスラインからの信号 $296A$ と、この4ビットのアドレスラインからの信号 $296A$ をインバータ 297 によって反転した後の信号 298 がそれぞれ入力されるようになっている。なお、これら4入力アンドゲート 294_{00} ～ 294_{15} は、信号 $296A$ の4本と反転後の信号 298 の4本の合計8本のうちの4本が入力されるようになっており、それぞれのアンドゲートは信号 $296A$ が下記の値のときにオン（“1”）するようになっている。

$$294_{00} \cdots 296A = "0000"$$

$$294_{01} \cdots 296A = "0001"$$

$$294_{02} \cdots 296A = "0010"$$

.....

$$294_{13} \cdots 296A = "1101"$$

$$294_{14} \cdots 296A = "1110"$$

$$294_{15} \cdots 296A = "1111"$$

【0072】

各グループの4個ずつの2入力アンドゲート 293_0 、 293_1 、 293_2 、 293_3 の出力端子は、それぞれのグループに8組ずつ設けられた4対1セレクタ

$299_{00} \sim 299_{15}$ の入力端子に接続されている。これら 16 グループの 4 対 1 セレクタ $299_{00} \sim 299_{15}$ の出力側には、8 組の 16 入力オアゲート 301 が配置されており、これらの組全体から 8 ビットパラレルのセレクタ選択信号 302 が出力されるようになっている。6 ビットパラレルのアドレスライン 296 のうちの残り 2 ビットのアドレスライン 296B の出力は、各グループの 4 対 1 セレクタ $299_{00} \sim 299_{15}$ の選択入力端子 S に入力され、4 つの入力から 1 つを選択するようになっている。

【0073】

このような構成のセレクタ 291 は、図 8 に示したセレクタ 281 と比べると、64 対 1 セレクタに相当する回路部分を 4 本の入力信号単位に 16 分割してグループをそれぞれ構成させ、これらのグループ単位でイネーブル制御を行うようしている。このため、図 8 に示したタイプの回路と比べるとオン・オフするゲート回路の数が若干多くなり、消費電力が若干増加する。

【0074】

以上と異なり、セレクタを一般に使用されているセレクタ回路と HDL 記述等の機能記述から論理合成することも可能である。ただしこの場合には図 8 および図 9 に示したセレクタよりも少しだけ消費電力が大きくなる。各回路の消費電力の比較については後に説明する。

【0075】

発明の第3の変形例

【0076】

図 10 は本発明の第3の変形例として、図 1 に示したマトリクススイッチ回路における第1回路部の変形を表わしたものである。この図で図 2 と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第1回路部 211A は、40G の入力データ 231 を 8 ビットパラレルで 622Mbps ずつ 64 本に分けた単位データ (STS-1) $232_{00} \sim 232_{63}$ を並列的に入力する 64 対 1 セレクタ 233 を備えている。64 対 1 セレクタ 233 には 10 ビットのアドレス情報 234 を構成する上位 6 ビットの情報 234A がそのセレクト端子 S に入力されている。また、STS-1 内の単位データ (STS-1

) の位置を示す下位4ビットの情報234BはSTS-1選択回路235Aに入力され、図示しない4ビットカウンタのカウンタ出力401との論理がとられるようになっている。

【0077】

64対1セレクタ233は、その入力端子D₀₀~D₆₃に64本に分けられて入力された単位データ232₀₀~232₆₃のうちの特定の1本のデータを選択するようになっている。64対1セレクタ233の出力端子Oから出力される8ビットパラレルの信号241はデータラッチフリップフロップ回路242Aに入力される。データラッチフリップフロップ回路242Aは第1のフリップフロップ回路411と第2のフリップフロップ回路412を縦続接続した構成となっている。8ビットパラレルの信号241は第1のフリップフロップ回路411のデータ入力端子Dに入力され、その出力端子Qが第2のフリップフロップ回路412のデータ入力端子Dに入力されている。これらのフリップフロップ回路411、412のクロック入力端子Cには78MHzのクロック信号253が入力されている。また、第1のフリップフロップ回路411のイネーブル端子EにはSTS-1選択回路235Aから出力される出力信号246Aが入力され、第2のフリップフロップ回路412のイネーブル端子Eには4ビットカウンタのカウンタ出力401を入力するデコーダ414のデコード値415が入力されるようになっている。データラッチフリップフロップ回路242Aからは図2の8ビットの出力信号258と同様の出力信号258が出力される。

【0078】

なお、この図10で示した第1回路部211Aは、先の実施例の図3で示すように第2回路部212の一部を構成することになり、第2回路部212は図4に示したように第3回路部213の一部を構成することになる。

【0079】

図11は、この第3の変形例におけるマトリクススイッチ回路の各部の動作を示すものであり、先の実施例の図6に対応するものである。そこで、図6と同一部分の説明は適宜省略する。同図(a)は78MHzのクロック信号253である。このクロック信号253を入力して分周する4ビットカウンタのカウンタ出

力401は、最下位ビットから順に図11の(b_0)、(b_1)、(b_2)、(b_3)で示す通りとなる。同図(c)は入力データ231(図10等参照)における1フレーム中の単位データ(STS-1)の番号を示している。このように78MHzのクロック信号253の各立ち上がりに同期して第0の単位データ(0)から第11の単位データ(11)まで単位データが12個ずつ繰り返されて各フレーム(STS-12)が構成される。同図(d)に示すように4ビットカウンタの4ビットのカウンタ出力401が単位データ(STS-1)の番号そのものを表わしている。

【0080】

今、データラッチフリップフロップ回路242Aに622Mbps、64組中の20番目("00"から"63"までを64組と数えた場合の20番目)で、フレーム(STS-12)における4番目("00"から"11"までを12の単位データ(STS-1)として数えた場合の4番目)のバイトを与えるものとする。この場合、622Mbps単位のセクタアドレスとして6ビット構成で"00"から"63"まで指定可能なアドレスを"20"に設定し、単位データ(STS-1)を単位とするセクタアドレスとしての4ビット構成で"00"から"11"まで指定可能なアドレスを"4"に設定する。

【0081】

このような設定を行うと、図10に示した64対1セレクタ233は入力データ231の中から20番目の信号を選択する。一方、4ビットカウンタのカウンタ出力401(図11(d))は4つの排他論理和回路249に1ビットずつパラレルに供給され、フレーム(STS-12)内の単位データ(STS-1)の位置を示す下位4ビットの情報234Bのうちの対応するものと1ビットずつ比較される。この結果として、これら4組のアドレスとカウント値を表わしたビットがすべて一致する条件が成立した時点でアンドゲート251に入力する4つのビットがすべて"1"となり、STS-1選択回路235の出力信号246Aが"1"となる(図11(f))。

【0082】

図11の時刻 t_1 がこの状態を示しており、同図(f)に示すように出力信号

246Aが“1”となる。このとき、第1のフリップフロップ回路411のイネーブル端子Eがイネーブルとなる。これにより、結果的に622Mbps、64組中の20番目で、フレーム(STS-12)における4番目のバイトが第1のフリップフロップ回路411に取り込まれることになる(図6(g))。

【0083】

ところで第2のフリップフロップ回路412(図11(h))のイネーブル端子Eに供給されるデコーダ414のデコード値415は図11(e)に示すように出力信号246A(図11(f))が“1”となる時刻とは異なる時刻 t_2 に“1”となるようになっている。したがって、第1のフリップフロップ回路411の出力端子Qから出力された信号はこの時刻 t_2 に第2のフリップフロップ回路412に取り込まれ、出力信号258(図11(i))として出力されることになる。

【0084】

したがって、図3に示した第1回路部 $211_{00} \sim 211_{11}$ のアドレスを、それぞれ出力すべき順番、すなわち第0の第1回路部 211_{00} から第1の第1回路部 211_{01} 、第2の第1回路部 211_{02} と順番に第1の第1回路部 211_{11} まで出力し、更に第0の第1回路部 211_{00} からこれを繰り返していくようにアドレスの設定を行っていくことで、フレーム(STS-12)内のフォーマットに沿って正しくそれぞれの単位データ(STS-1)が取り込まれた622Mbpsの出力信号を得ることができる。

【0085】

発明の第4の変形例

【0086】

図12は本発明の第4の変形例として図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたものである。この図で図2と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第1回路部211Bは、FPGA(field programmable gate array: 大規模PLD)セルを内蔵した構成となっている。図2に示した64対1セレクタ233およびSTS-1選択回路235をFPGA部品で構成した場合には、セレクタは单なるバ

ツファ441に、また選択回路235Bも簡単なデコーダとなる。したがって、この図12に示すようなFPGA部品を有するLSIでは飛躍的に回路規模を削減することができる。すなわち、本発明のマトリクススイッチ回路はCMOS-LSIで実現することも有効であるが、更にFPGA部品を備えたLSIやFPGA部品（パート）そのものでスイッチを実現する場合には規模と消費電力の両面から極めて有効となる。

【0087】

なお、SDH装置では固定値が挿入されているSOH部（図7参照）でスイッチの切り替えの設定を行い、その固定値をスイッチ切り替え後の回路で再度挿入するという手法を用いる場合、スイッチの切り替えに必要な時間は比較的長くなる。SOH部の1行、1列および1行、2列のデータは、それぞれ“A1”、“A2”と定義され、固定値である。STS-12の場合には、これら“A1”、“A2”を合わせて24バイト、すなわち78MHzのクロックの24クロック分（=12.8nsec×24=307nsec）存在する。したがって、307nsec以下で切り替えができればよい。このようなオーダで切り替えが可能なFPGA部品を用いる場合は特に問題なく使用が可能である。

【0088】

発明の第4の変形例の変形

【0089】

図13は本発明の第4の変形例の更なる変形として、以上説明したようなオーダで切り替えが不可能なFPGA部品を使用した際の第1回路部の構成を表わしたものである。この変形例の第1回路部211Cは、図12に示した第1回路部211Bを2つ使用している。そして、これらの出力を動作面選択セレクタ461の2つの入力端子D₀、D₁に1つずつ対応して入力させ、選択信号入力端子Sに入力する選択信号462によって8ビットの出力信号258の選択を行う。これにより、第1回路部211Bのうちの一方の面がスイッチとして動作している間、もう一方の面側のFPGA部品の書き換えを行うことで前記した問題を解決している。この図13に示した第1回路部211Cは、図12に示したデータラッシュフリップフロップ回路242等の部品の数が2倍必要になる。しかしながら

、回路規模の大半を占める64対1セレクタ233（図2参照）が不要になる。したがって、回路規模の削減と消費電力の削減の効果は大きい。

【0090】

発明の第5の変形例

【0091】

図14は本発明の第5の変形例として、図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたものである。この図で図2あるいは図10と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この変形例の第1回路部211Dは、40Gの入力データ231を8ビットパラレルで622Mbpsずつ64本に分けた単位データ(STS-1)232₀₀～232₆₃を、対応する数(8×64=512個)だけ用意された2入力アンドゲート481の一方の端子を介して並列的に入力する64対1セレクタ233を備えている。2入力アンドゲート481の他方の端子にはSTS-1選択回路235から出力される出力信号246Aが入力されるようになっている。これ以外の回路は図10と同様である。

【0092】

この第5の変形例では、2入力アンドゲート481によって入力データ231をSTS-1選択回路235の出力と論理をとっている。このため、STS-12中のSTS-1選択回路235で指定した1バイトの単位データ(STS-1)のみが通過し、他のタイムスロットでは2入力アンドゲート481の出力が“0”に固定される。この結果、64対1セレクタ233の入力端子側が12タイムスロット中に1回（ただし変化点の数で数えると2回）しか動作しないことになる。したがって、64対1セレクタ233の入力の信号レートが78Mbpsからその6分の1の13Mbpsに下がったことに相当する結果が生じ、64対1セレクタ233の消費電力が6分の1となるという利点が生じる。すなわち、本発明では従来と比して低消費電力化が図られているが、この変形例では更に低消費電力化を図ることができる。

【0093】

発明の第6の変形例

【0094】

図15は本発明の第6の変形例として、図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたものである。この図で図2あるいは図14と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第6の変形例の第1回路部211Eでは、データラッチフリップフロップ回路242Eを構成する第1のフリップフロップ回路501をセット、リセット形式のフリップフロップ回路としている。第2のフリップフロップ回路412は図14に示した回路と同一である。第1のフリップフロップ回路501のセット端子Setには64対1セレクタ233の出力が入力され、リセット端子Resetにはデコーダ414のデコード値415が入力されるようになっている。また、クロック入力端子Cには78MHzのクロック信号253が入力されるようになっている。

【0095】

セット、リセット形式のフリップフロップ回路は、セットとリセットが同時にオンになるときにはセットが優先するようになっている。2入力アンドゲート481および64対1セレクタ233で選択された以外のバイトはオール“0”であるため、このように第1のフリップフロップ回路501をセット、リセット形式のフリップフロップ回路にしても動作が可能である。図示は省略するが、この第1のフリップフロップ回路501をゲートをたすき掛け構成とした非同期タイプに変更すると、回路規模と消費電力を更に低減することができる。このように本発明では、64対1セレクタ233とSTS-1選択回路235の配置の順序を入れ替えることが可能である。

【0096】

発明の第7の変形例

【0097】

図16は本発明の第7の変形例として、図1に示したマトリクススイッチ回路における第2回路部の変形を表わしたものである。この図で図3と同一部分には同一の符号を付しており、これらの説明を適宜省略する。この第7の変形例の第2回路部212Fでは、図3の第2回路部212に対してデコーダ回路521と

アンドゲート522が追加されている。第2回路部212Fは12個の第1回路部 $211_{00} \sim 211_{11}$ を備えており、それぞれは64種類の中の1種類のSTS-12すなわち1フレーム分の信号を選択している。したがって、これら12個の第1回路部 $211_{00} \sim 211_{11}$ は最大で64種類中の12種類のSTS-12を選択する。ここで最大と断ったのは、12個の第1回路部 $211_{00} \sim 211_{11}$ の中の幾つかが同一のSTS-12を選択する場合があり、この場合には12種類未満となるからである。

【0098】

デコーダ回路521は、10ビットのアドレス情報 $261_{00} \sim 261_{11}$ のうちのそれぞれ6ビット分のアドレス情報を入力するようになっており、それぞれのアドレス値のデコードを行った後の論理和をとることで、64種類中の選択されているSTS-12の識別を行うようになっている。この識別結果としてデコーダ回路521は64本の識別信号出力線523の選択されているSTS-12に対しては“1”を、また選択されていないSTS-12に対しては“0”をそれぞれ出力する。これら64本の識別信号出力線523は、 8×64 個の2入力アンドゲート522の一方の入力端子に8個ずつ共通にして接続されている。これら 8×64 個の2入力アンドゲート522の他方の入力端子には、40Gの入力データ231を8ビットパラレルで 622M b p s ずつ64本に分けた単位データが入力されることになる。これにより、選択されていないSTS-12を“0”に固定することができる。すなわち、64組中の12組が動作するので、動作する信号は64分の12で、約5.3分の1となり、約5分の1に抑えることができる。

【0099】

選択されていないSTS-12をこのように“0”に固定することによって、第1回路部 $211_{00} \sim 211_{11}$ のセレクタ部の消費電力を削減することができる。このように本来低消費電力化が可能な本発明でこの第7の変形例では更に低消費電力化を図ることが可能である。ただし、64対1セレクタ233側で未使用のSTS-12をすべてインヒビットしているようなタイプのセレクタに対しては更なる低消費電力化の効果はない。

【0100】

したがって、図14、図15および図16に示した本発明の第5～第7の変形例では、64対1セレクタの選択に当たって、この64対1セレクタ単体での消費電力を犠牲にして回路規模が小さいタイプのセレクタあるいはレイアウト性に優れたセレクタを用いることが可能になり、更に64対1セレクタの選択肢が広がる。

【0101】

図17～図19は回路規模と消費電力の関係を実施例および変形例のアーキテクチャ構成の場合について示したものである。これらは、MOS (metal oxide semiconductor) ドラムジスタのゲート長を0.25μmで実現した場合を示している。このうち図17は、図2に示した実施例の場合であり、これを図8に示した第1の変形例のセレクタ281と図9に示した第2の変形例のセレクタ291について表わしている。図中でMゲートとはメガゲートの意味である。

【0102】

図18は、図14および図15に示した本発明の第5の変形例と第6の変形例のアーキテクチャ構成の場合について示したものである。この図18では回路規模の中にこれらの図の2入力アンドゲート481で示した回路部分による増加分も含んでいる。図19は、図16に示した本発明の第7の変形例のアーキテクチャ構成の場合について示したものである。この図19ではアンドゲート522で示した回路部分による増加分も含んでいる。

【0103】

発明の更に他の変形可能性

【0104】

以上説明した実施例および変形例では、図2に示したように622Mbpsの信号がすでに8ビットパラレルな信号となっていることを前提としている。しかしながら、これに限るものではなく、622Mbpsの信号が8ビットのシリアルデータのままあってもよい。この場合には、図2に示した回路と比べると、64対1セレクタ233は8個に対して1個で済むことになる。ただし、8ビットのデータを保持するためにデータラッチフリップフロップ回路242は8個×

2面と図2の回路の場合と同様の数が必要である。また、周辺回路のタイミングについては回路の構成が異なるので多少の変更が必要である。

【0105】

この変形例の回路構成は省略するが、回路の規模の大半は図2で示した64対1セレクタ233が占めている。したがって、この回路をCMOS集積回路で実現した場合には、64対1セレクタ233の減少により回路規模が約8分の1となる。回路の動作周波数は78MHzのクロック信号253の代わりに622MHzのクロック信号を使用するために8倍に増加する。このため、回路の消費電力は図2に示した回路とほぼ同一の値となる。

【0106】

このようにスイッチをCMOS-LSIで集積化する場合には、信号のパラレル数に関係なく消費電力がほぼ一定となる。このため、実際に回路を集積化する場合には、(イ) レイアウトのしやすさ等の観点からの回路規模、(ロ) タイミング設計の容易性という観点からのクロックスピードおよび(ハ) 使用するデバイスの性能といった点を考慮して、シリアル処理を行うか、パラレル処理を行うかの判断を行う。また、パラレル数はクロック周波数が78MHzの8ビットパラレルなものに限る必要はなく、クロック周波数が約311MHzの2ビットパラレルなもの、クロック周波数が約155MHzの4ビットパラレルなもの、クロック周波数が約39MHzの16ビットパラレルなもの等のように使用するデバイスの性能を考慮して適宜選択することができる。

【0107】

更に実施例ではデータラッチフリップフロップ回路242を第1のフリップフロップ回路243と第2のフリップフロップ回路244の2組のフリップフロップ回路から構成したが、これに限るものではない。たとえばこれをメモリあるいはラッチで構成することも可能である。この場合にも、レイアウトの点や消費電力等を考慮して最適な形態を選ぶ必要がある。また、データラッチフリップフロップ回路242の回路動作を非同期型に変えると、クロックラインの消費電力が削減できるので、結果として回路全体の消費電力を低減することができる。

【0108】

また、実施例および変形例では64対1セレクタを12個ずつ64系統に分けてこれを使用してマトリクススイッチ回路を構成する場合を説明したが、これを 12×64 のマトリクスで表わすとすると、 $n \times m$ （ただし n および m は2以上の任意の整数）に一般化して任意のサイズのマトリクススイッチ回路に本発明を適用することができることは当然である。また、使用するクロック周波数もこれに応じて所望のものを選択することができることも当然である。更に本発明の第2の変形例を示した図9ではインバータ297を使用したが、このインバータ297を使用せずに入力は4ビットのアドレスラインからの信号296Aの4本のみとし、負論理入力形式の4入力アンド回路を使用するようにしてもよいことは当然である。

【0109】

【発明の効果】

以上説明したように請求項1記載の発明によれば、 m 個の単位データから1個の単位データを選択する m 対1セレクタを $n \times m$ 個用意し、これらの m 対1セレクタに n 個ずつ m 系統に分けられたフレームのそれぞれのデータを並列に入力するようしているので、それぞれの m 対1セレクタが1つの単位データを選択するよう設定されることになり、 m 対1セレクタを構成する m 個のスイッチング回路部分の1つのみが選択動作に寄与するよう回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。また、回路のレイアウトの設計が容易であるという利点もある。

【0110】

また請求項2記載の発明によれば、請求項1記載の発明における $n \times m$ のマトリクスを前記した単位データがSTS-1の例の場合で具体的に示したものであり、64対1セレクタはそれぞれ64の入力の中から1つを選択する回路構成となっているので、64個のスイッチング回路部分の1つのみが選択動作に寄与するよう回路動作を行わせることで残りの回路部分の消費電力を抑えることが可能になる。また、回路のレイアウトの設計が容易であるという利点もある。

【0111】

更に請求項3記載の発明によれば、 m 対1セレクタから比較的高速に単位データ

タが次々と選択されて出力されるときであっても、第1および第2のメモリを単位データの書き込みが行われる周期で書き込みの行われるメモリと読み出しの行われるメモリに交互に切り替えることで、単位データの書き込みや読み出しの時間的な余裕を持たせることが可能になる。

【0112】

また請求項5記載の発明によれば、特定の1組のゲートが導通し、残りの63組のゲートが遮断状態となっているので、全体的な消費電力を極めて低く抑えることができる。

【0113】

更に請求項6記載の発明によれば、請求項5記載の発明と同様にゲートの遮断制御によって消費電力の低減を図ることができる。

【0114】

また請求項7記載の発明によれば、第1のメモリの書き込んだデータを第2のメモリが読み出して書き込み用に保持するので、m対1セレクタから単位データが高速に読み出される場合であっても後段の回路がこれらの単位データを安定して読み出すことができる。

【0115】

更に請求項8記載の発明によれば、FPGA部品を備えたLSIやFPGA部品（パート）そのものでスイッチを実現するので、規模と消費電力の両面が優れたマトリクススイッチ回路を構成することができる。

【0116】

また請求項9記載の発明によれば、64対1セレクタの入力端子側が12タイムスロット中に1回（ただし変化点の数で数えると2回）しか動作しないことになるので、64対1セレクタの入力の信号レートが6分の1に下がったことに相当する結果が生じ、その消費電力が6分の1となるという利点が生じる。

【0117】

更に請求項10記載の発明によれば、マトリクススイッチ回路の64組中の12組の回路部分が動作するので、動作する信号は64分の12で、約5.3分の1となり、約5分の1に抑えることができる。

【図面の簡単な説明】

【図1】

本発明の一実施例におけるマトリクススイッチ回路を使用したディジタルクロスコネクトシステムの要部を表わしたシステム概略構成図である。

【図2】

本実施例の第1回路部の構成を示すブロック図である。

【図3】

本実施例の第2回路部の構成を示すブロック図である。

【図4】

本実施例の第3回路部の構成を示すブロック図である。

【図5】

本実施例の第3回路部の全体的な構成の概要を表わした説明図である。

【図6】

本実施例のマトリクススイッチ回路の各部の動作を示すタイミング図である。

【図7】

本実施例で説明した622Mbp/sフォーマット(STS-12)と52Mbp/sフォーマット(STS-1)の関係を示す説明図である。

【図8】

本発明の第1の変形例として低消費電力を実現するセレクタの第1の例を示した回路図である。

【図9】

本発明の第2の変形例として低消費電力を実現するセレクタの第2の例を示した回路図である。

【図10】

本発明の第3の変形例として図1に示したマトリクススイッチ回路における第1回路部のブロック図である。

【図11】

第3の変形例におけるマトリクススイッチ回路の各部の動作を示すタイミング図である。

【図12】

本発明の第4の変形例として図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたブロック図である。

【図13】

本発明第4の変形例の更なる変形として、オーダで切り替えが不可能なFPG A部品を使用した際の第1回路部の構成を表わしたブロック図である。

【図14】

本発明の第5の変形例として図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたブロック図である。

【図15】

本発明の第6の変形例として図1に示したマトリクススイッチ回路における第1回路部の変形を表わしたブロック図である。

【図16】

本発明の第7の変形例として図1に示したマトリクススイッチ回路における第2回路部の変形を表わしたブロック図である。

【図17】

図2に示した実施例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図18】

図14および図15に示した本発明の第5の変形例と第6の変形例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図19】

図16に示した本発明の第7の変形例のアーキテクチャ構成の場合について回路規模と消費電力の関係を示した説明図である。

【図20】

経済的で高品質なネットワークを実現する従来のデジタルクロスコネクトシステムを表わしたシステム構成図である。

【図21】

図20に示した第1の局の構成を更に具体的に表わしたブロック図である。

【図22】

従来提案されたクロスポイントスイッチ回路の構成を表わした回路図である。

【図23】

従来の他の手法として768対1セレクタを一般的なCMOSゲート回路で構成したブロック図である。

【図24】

従来の手法の更に他の例としてのマトリクススイッチ回路を示した説明図である。

【図25】

図24に示したメモリの一部を具体的に表わした説明図である。

【符号の説明】

- 201 ディジタルクロスコネクトシステム
- 202 光リング
- 205 局
- 206 マトリクススイッチ回路
- 211、211A、211B、211C、211D、211E、211F 第1回路
- 212 第2回路部
- 213 第3回路部（マトリクススイッチ回路の主要部）
- 222 5ビットカウンタ
- 223 12対1セレクタ
- 233 64対1セレクタ
- 235、235B STS-1選択回路
- 242、242A、242E データラッチフリップフロップ回路
- 243、411 第1のフリップフロップ回路
- 244、412 第2のフリップフロップ回路
- 257 読み出し面切替セレクタ
- 281 セレクタ
- 286 6ツー64(6to64)デコーダ

294、481 2入力アンドゲート

299 4対1セレクタ

301 16入力オアゲート

414 デコーダ

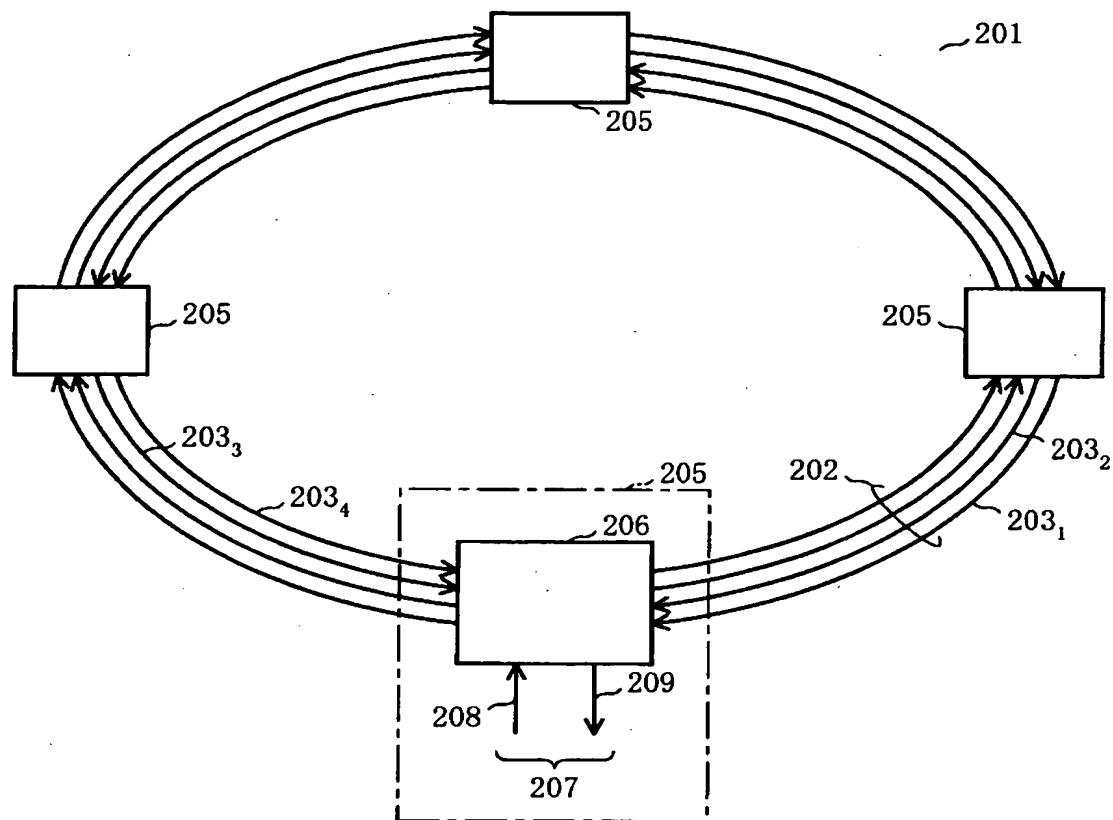
441 バッファ

461 動作面選択セレクタ

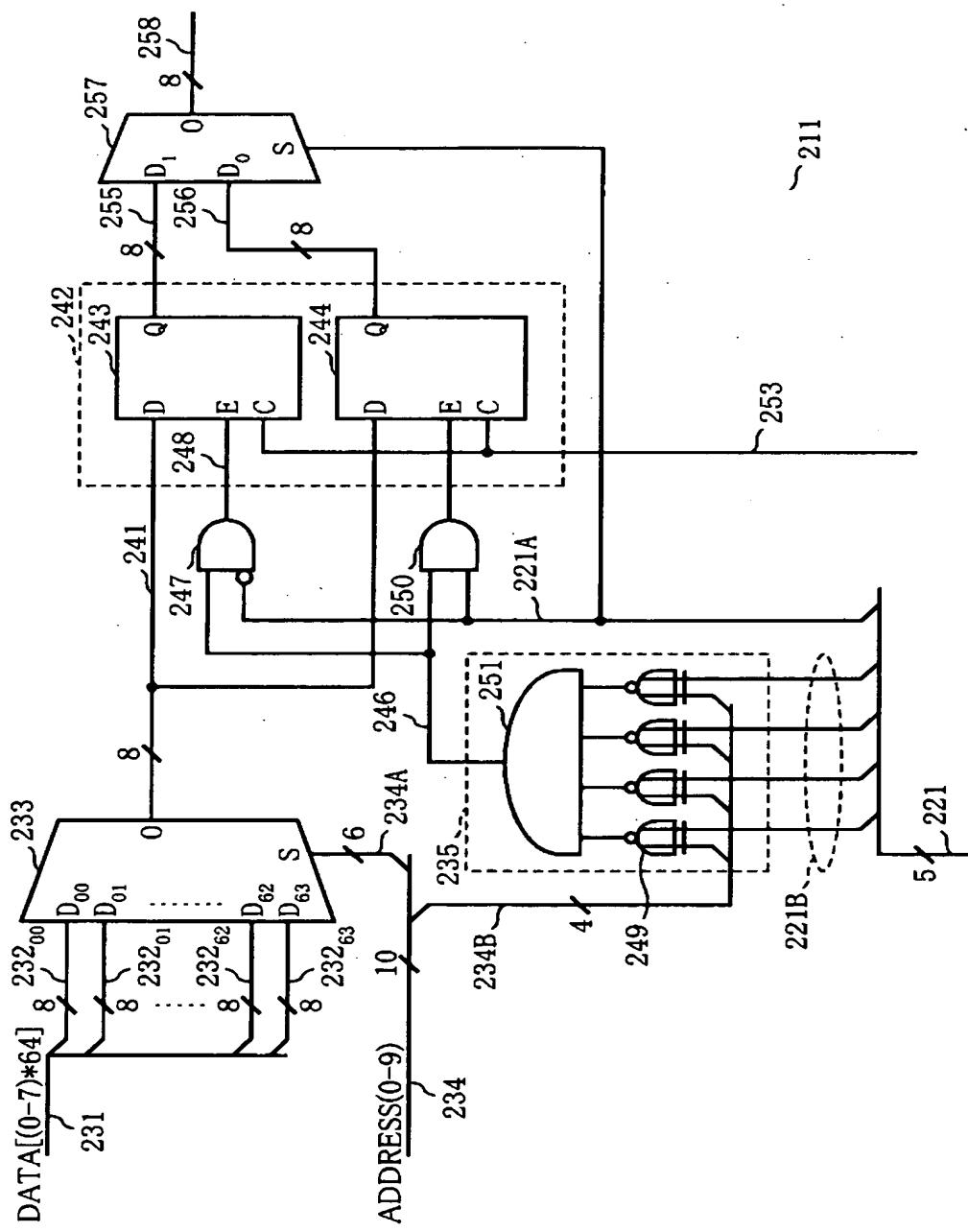
521 デコーダ回路

【書類名】 図面

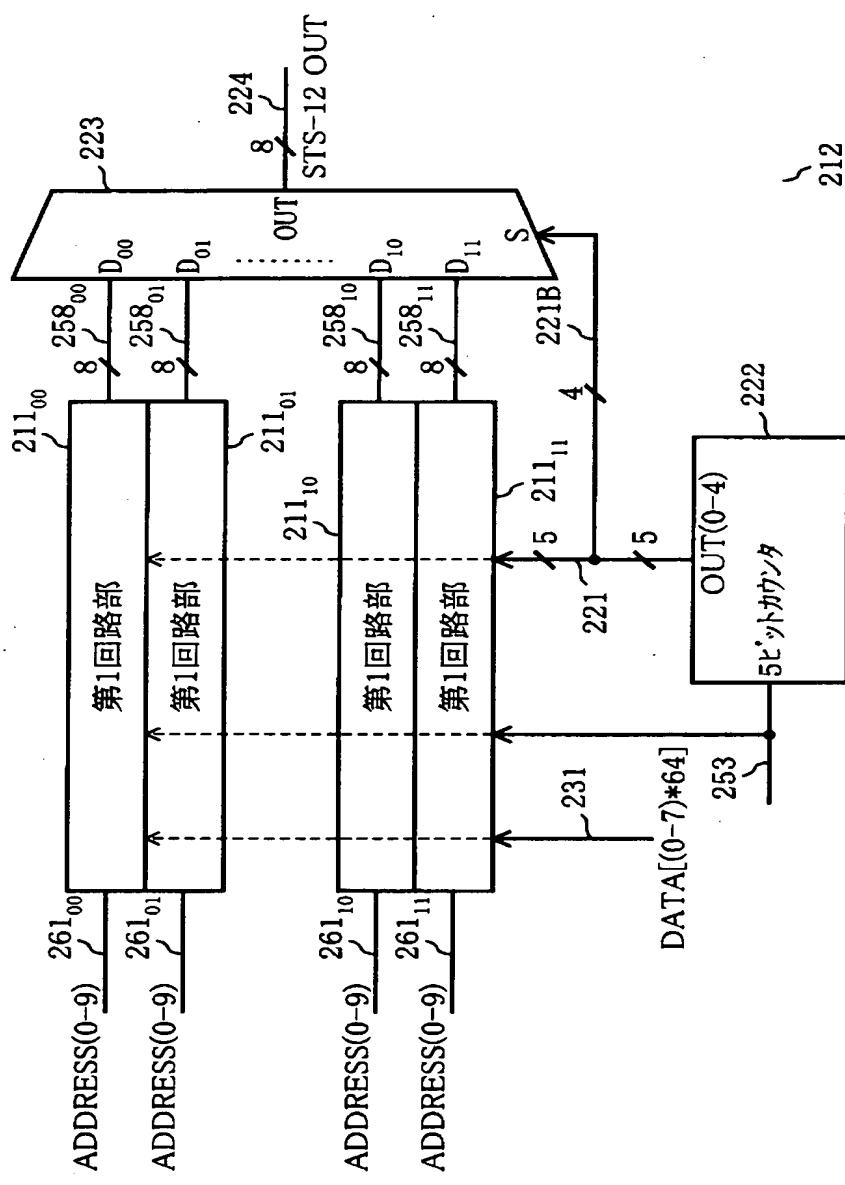
【図1】



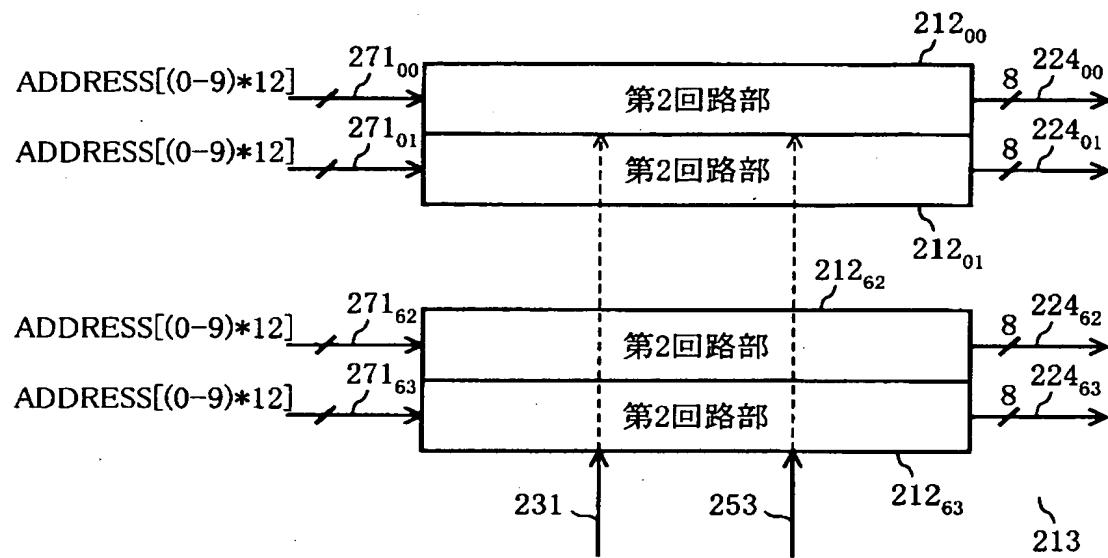
【図2】



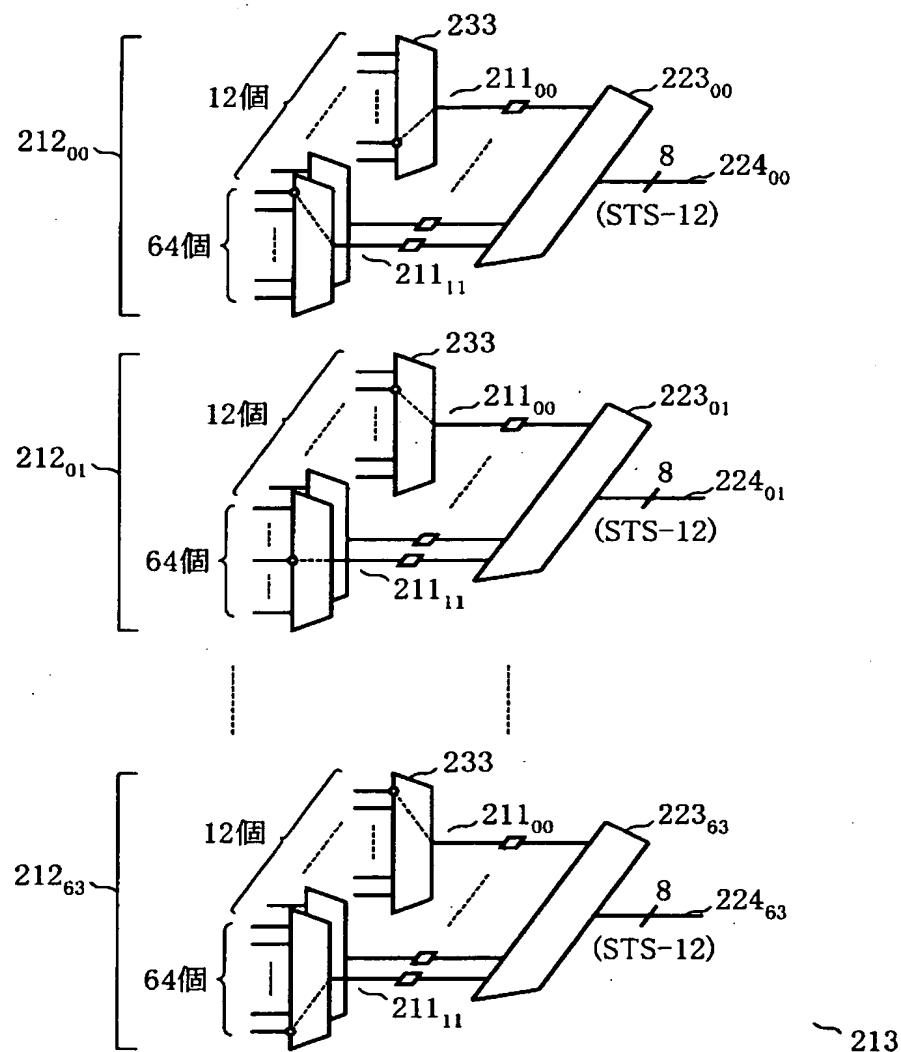
【図3】



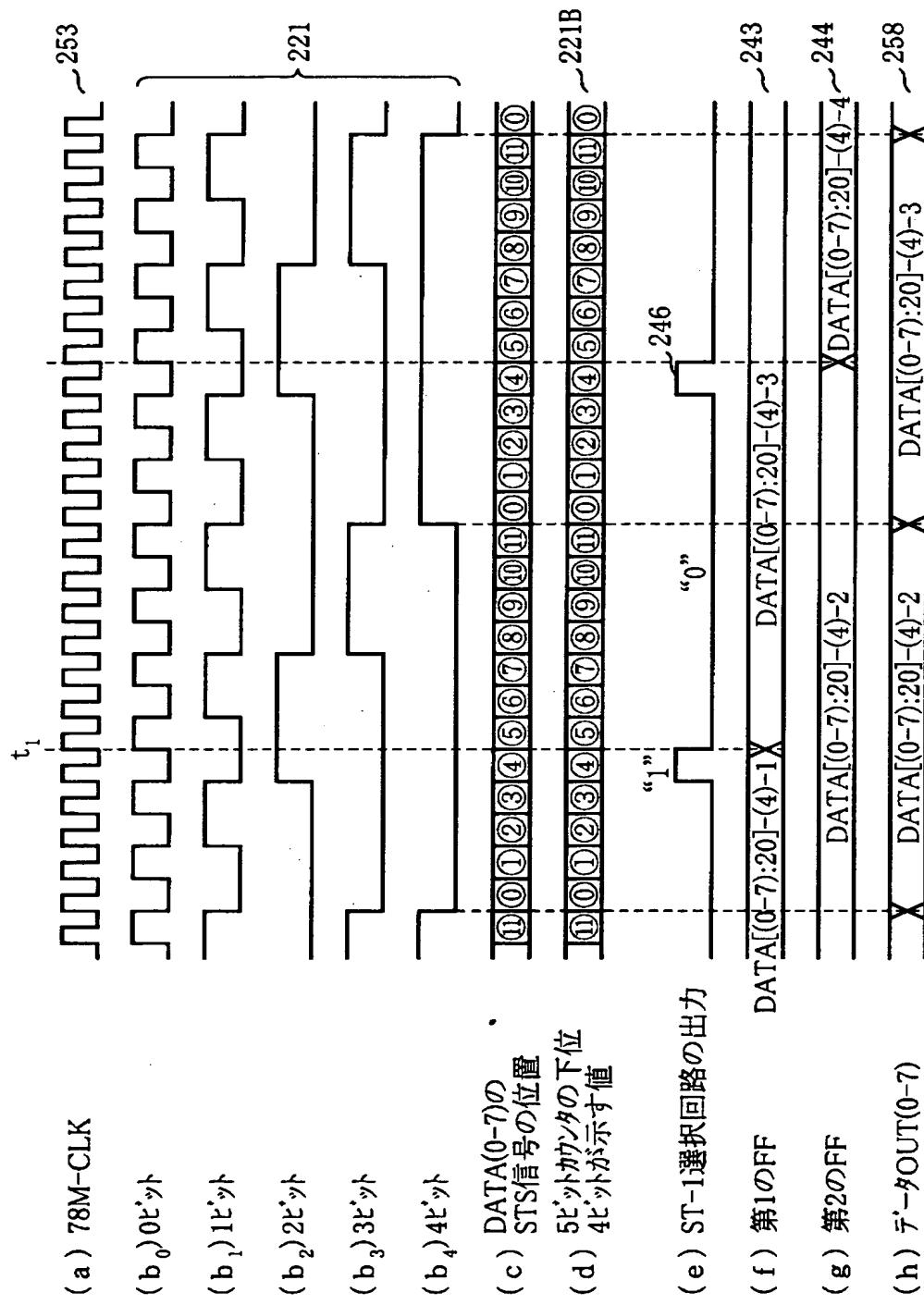
【図4】



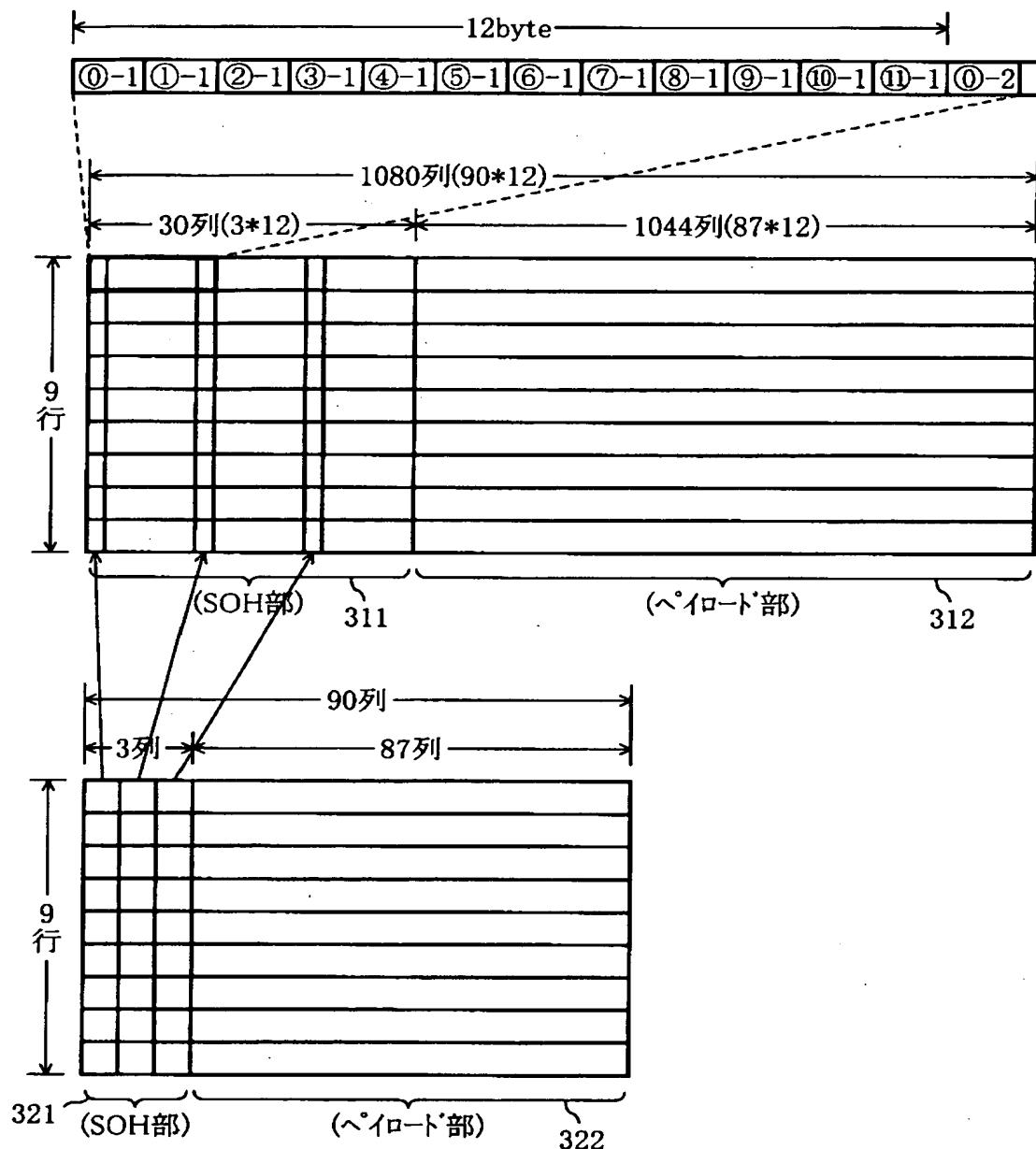
【図5】



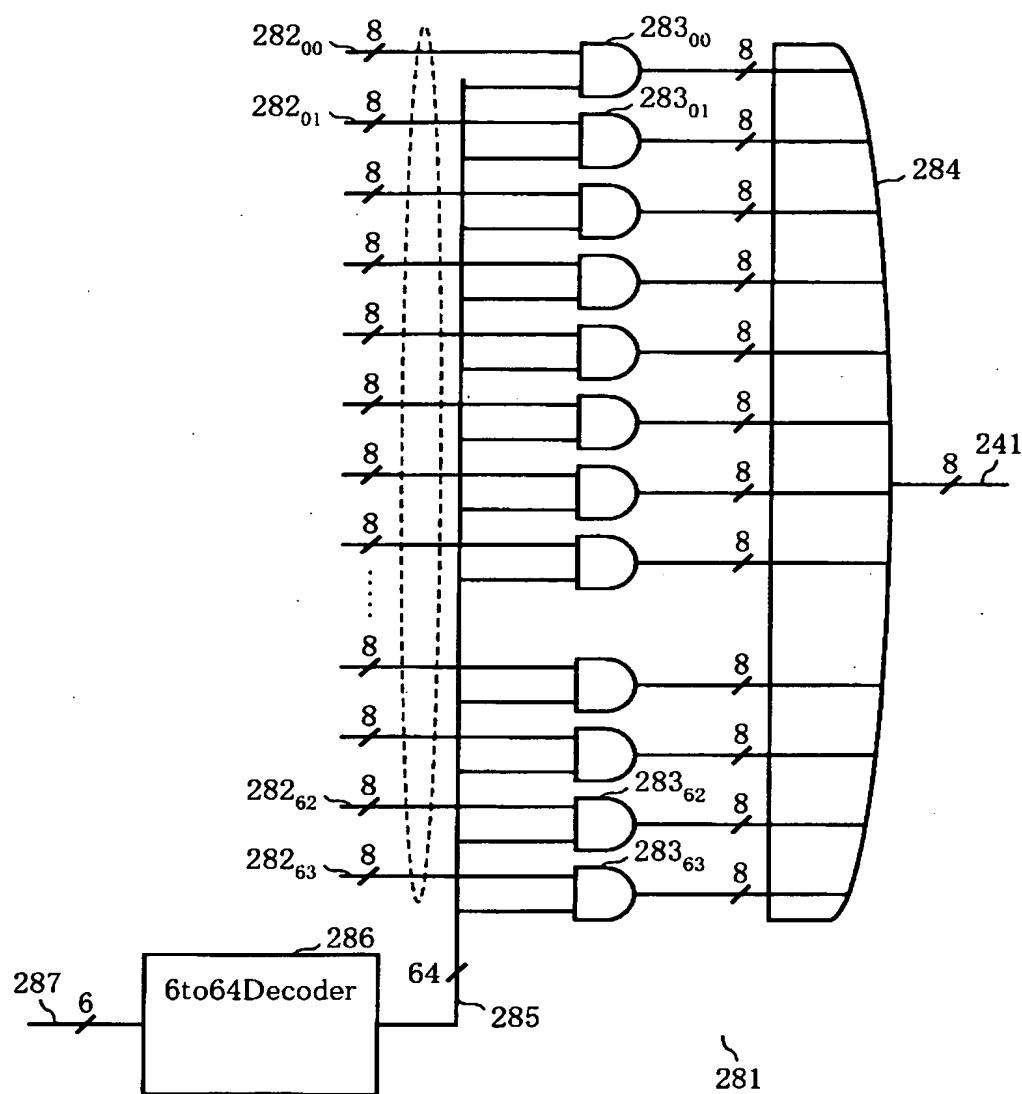
【図6】



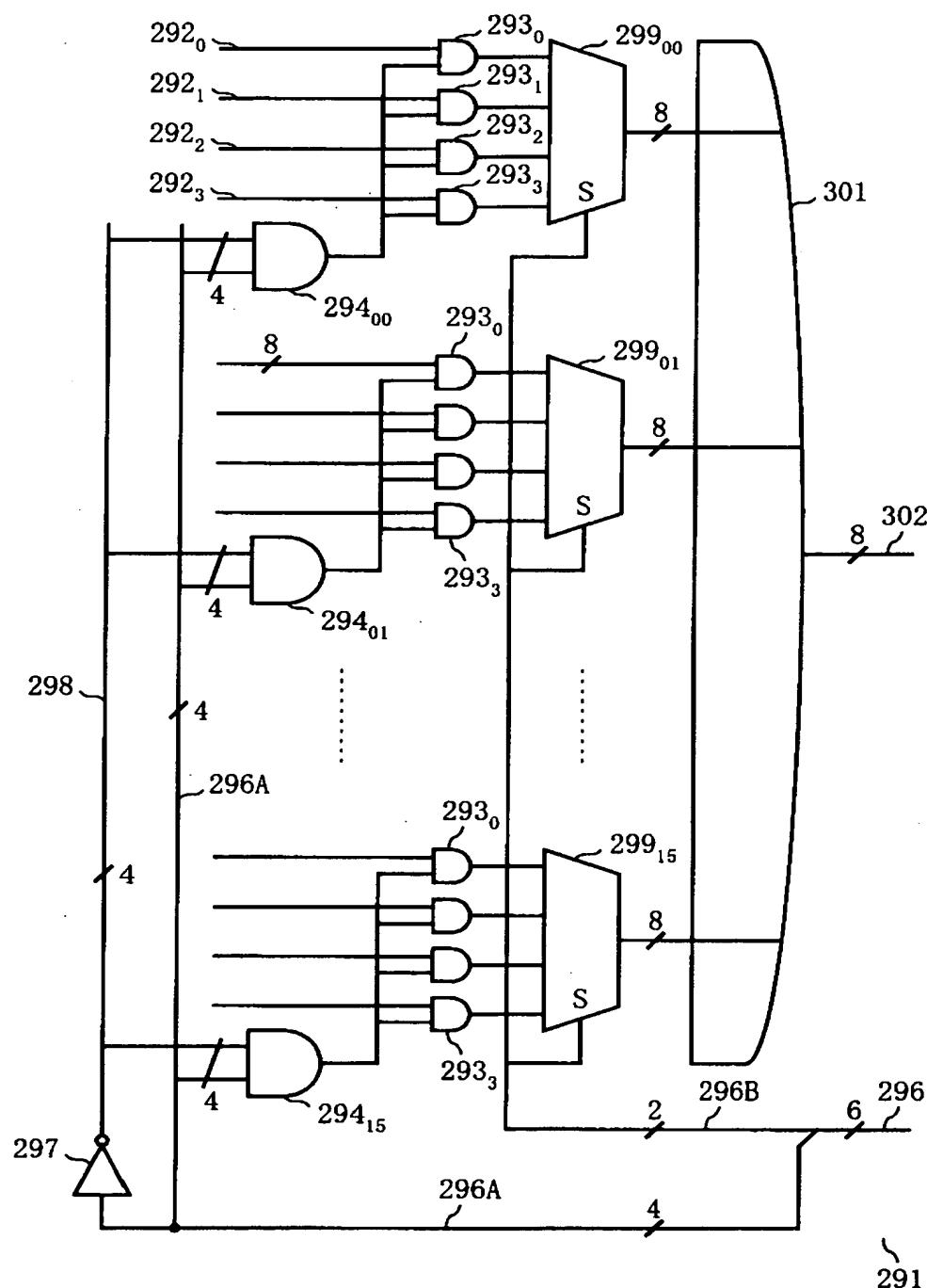
【図7】



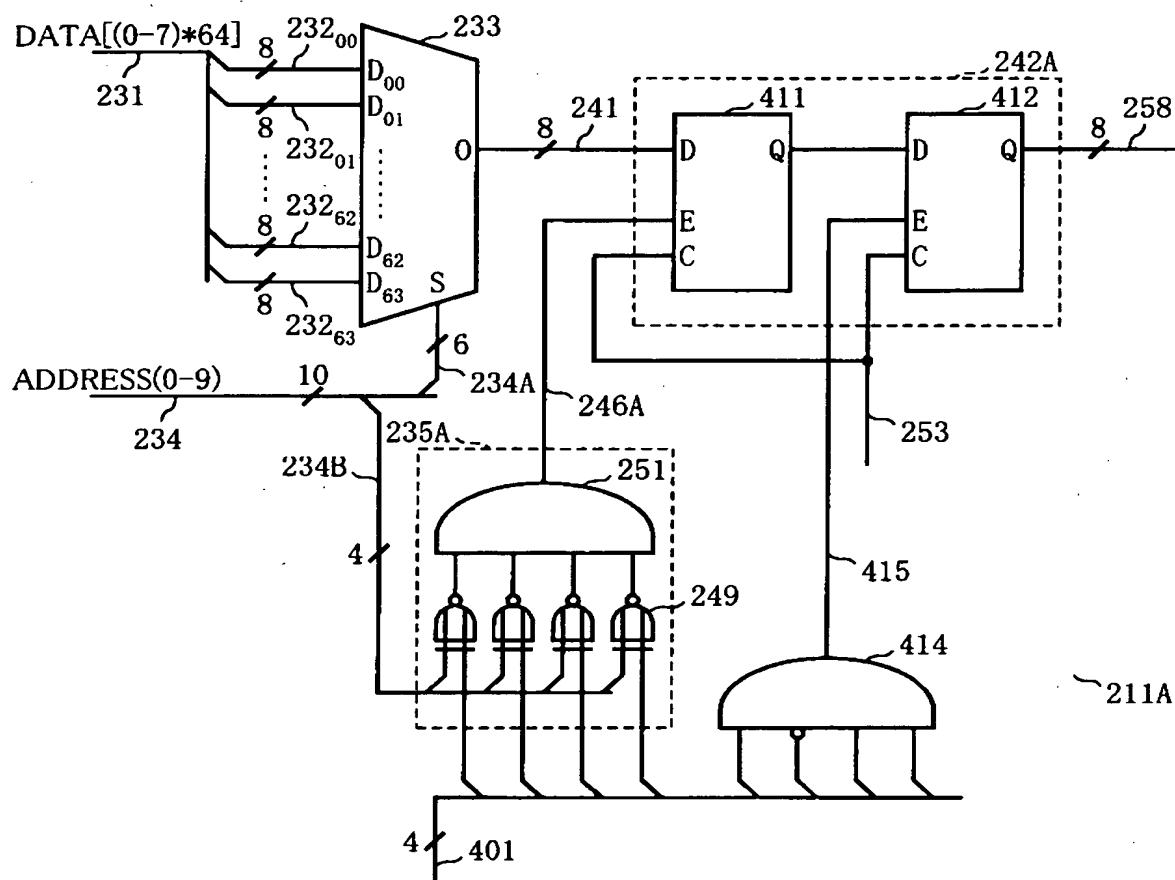
【図8】



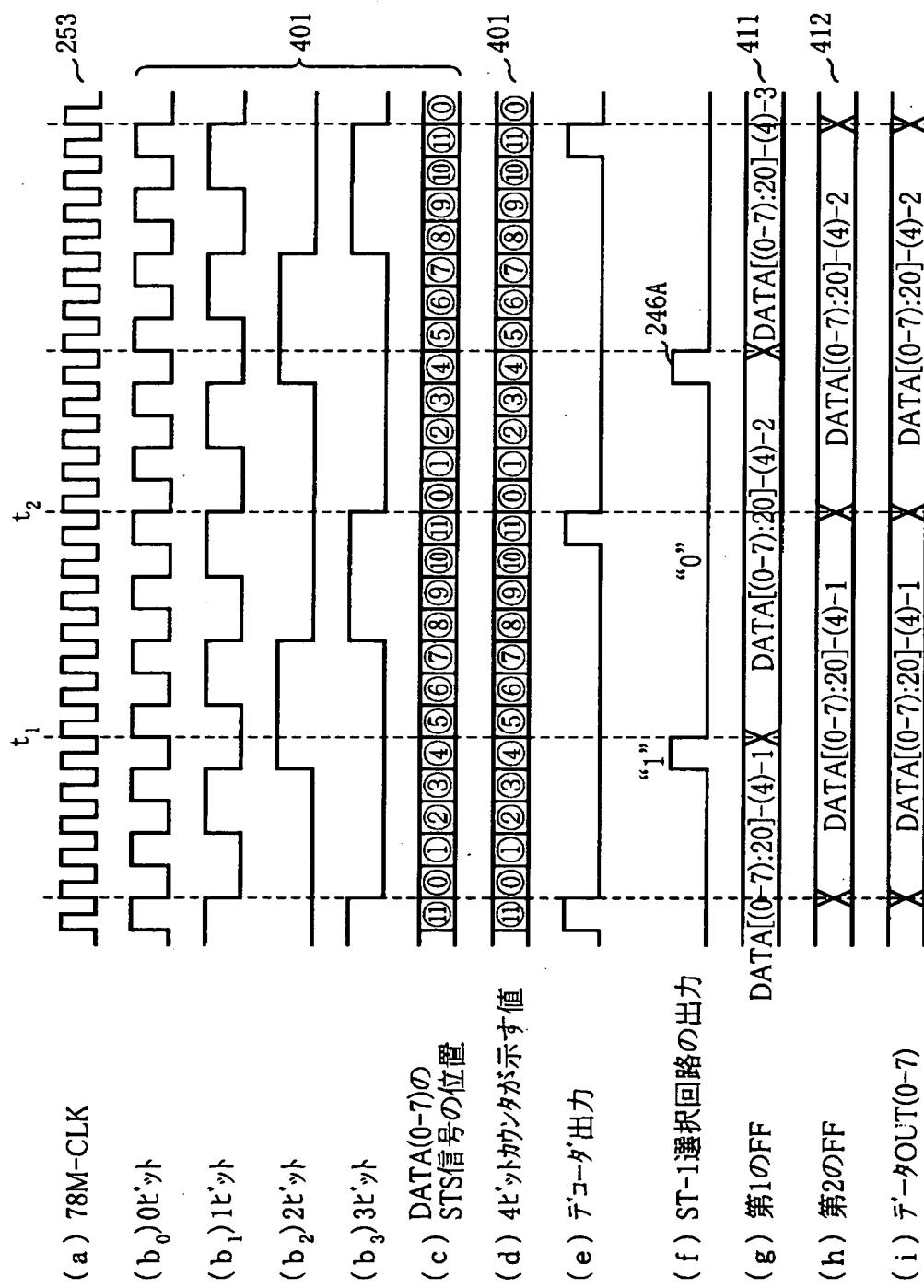
【図9】



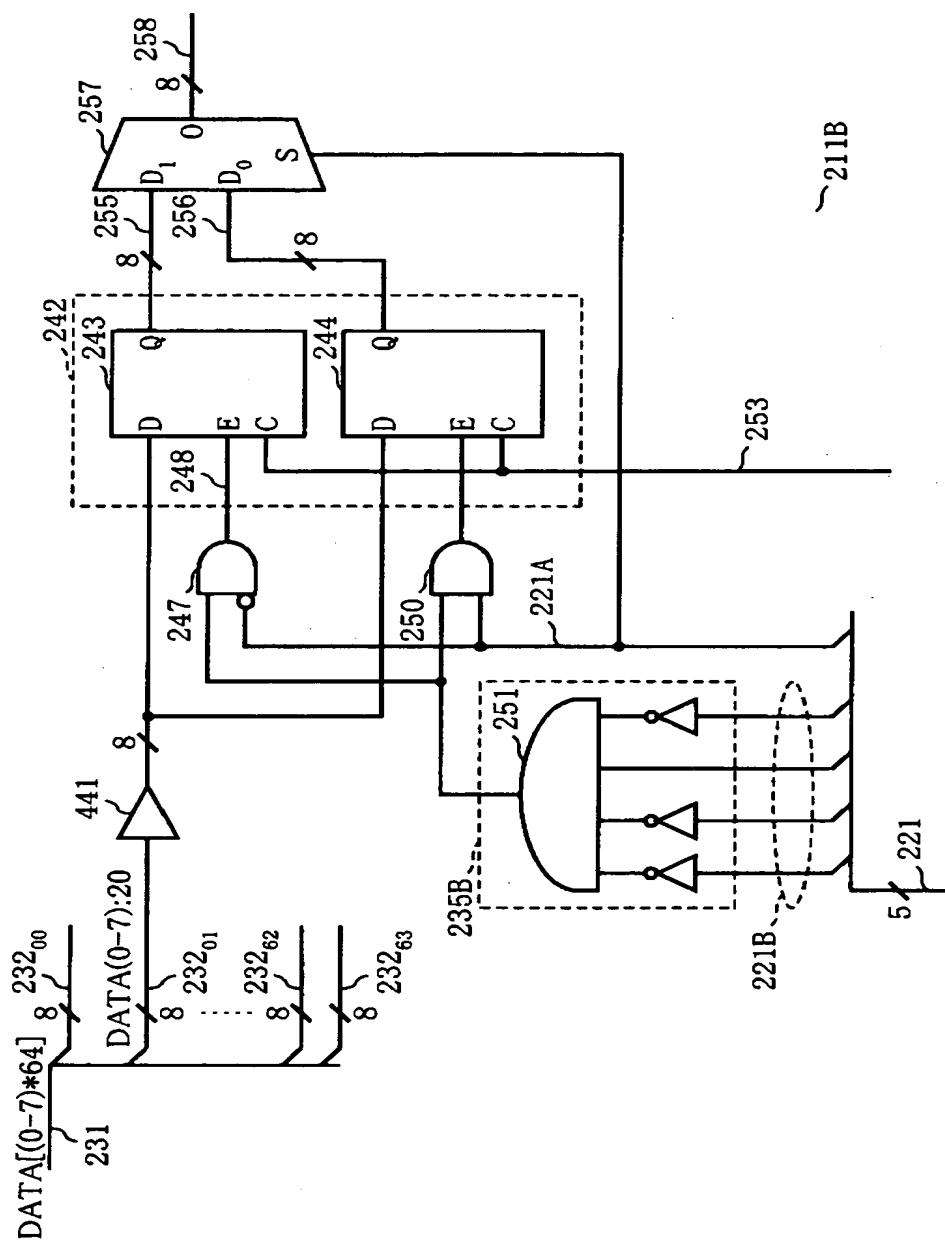
【図10】



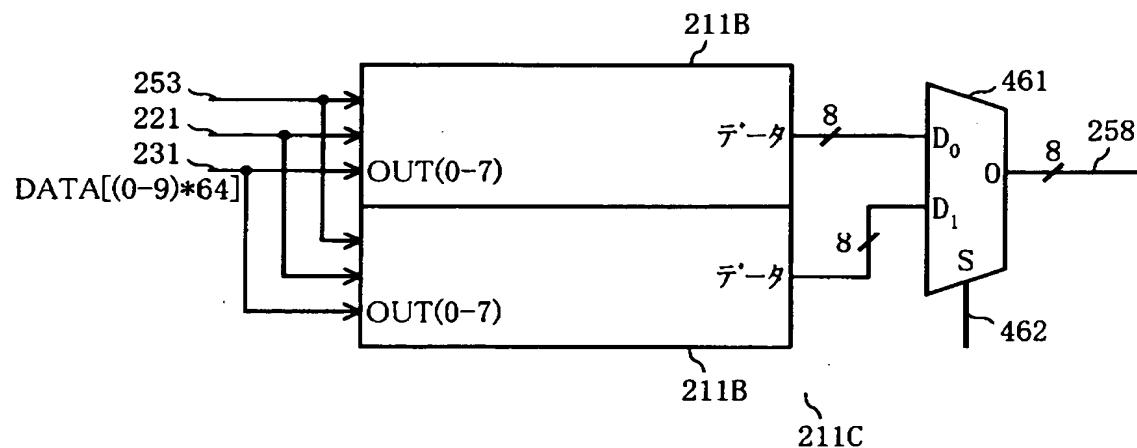
【図11】



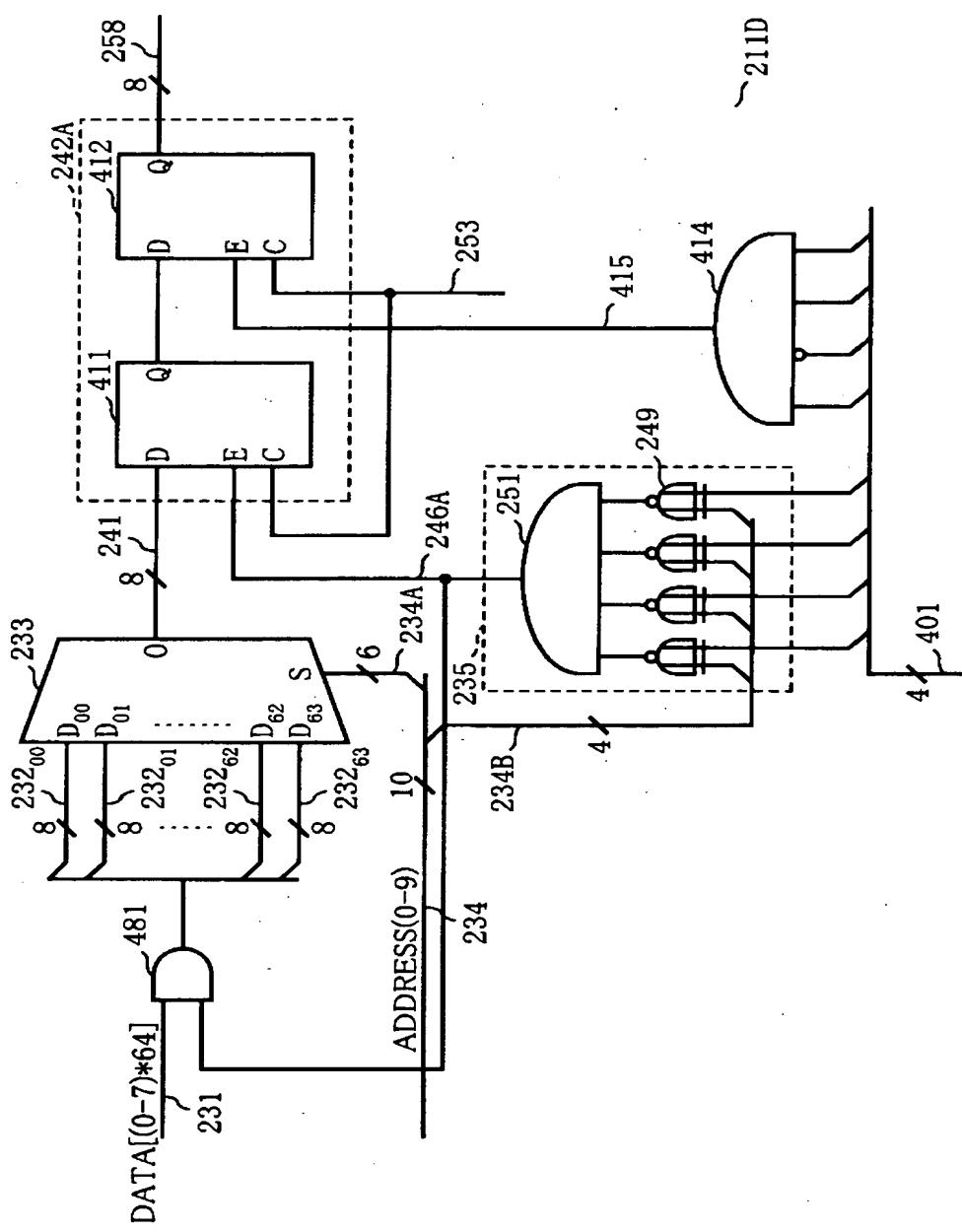
【図12】



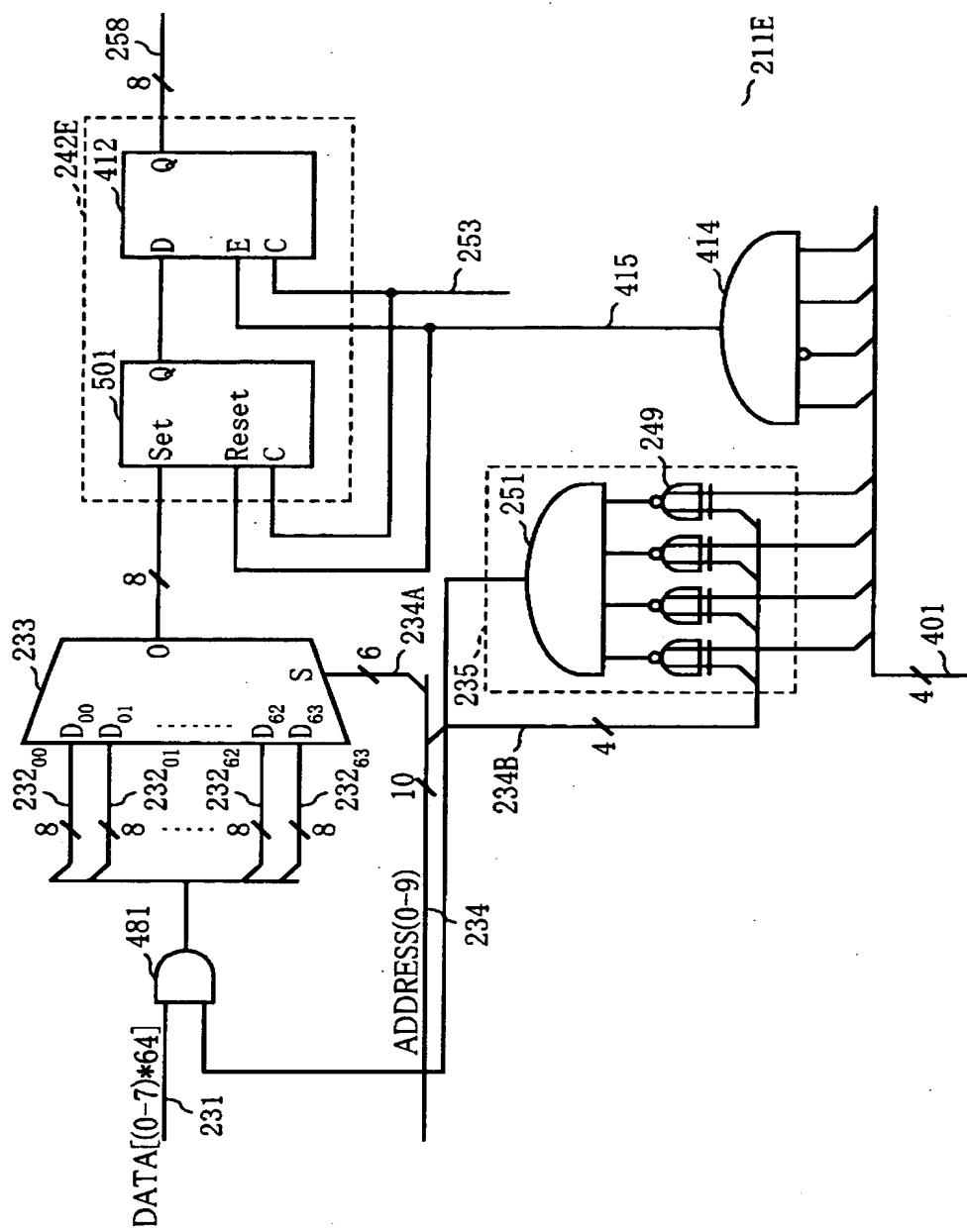
【図13】



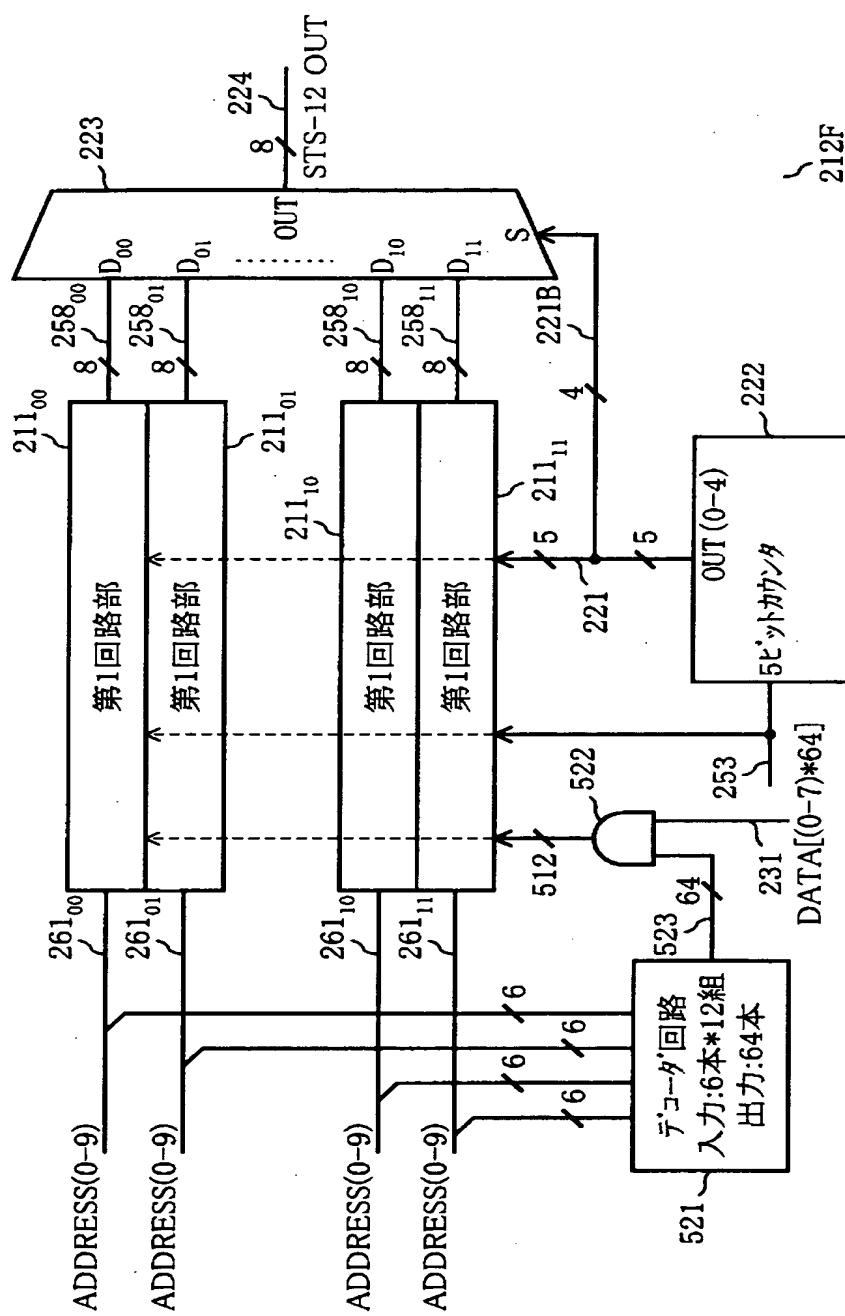
【図14】



【図15】



【図16】



【図17】

	図8方式	図9方式	論理合成による 規模最小化合成
消費電力(mW)	120	180	934
回路規模(Mゲート)	0.94	1.3	1.1

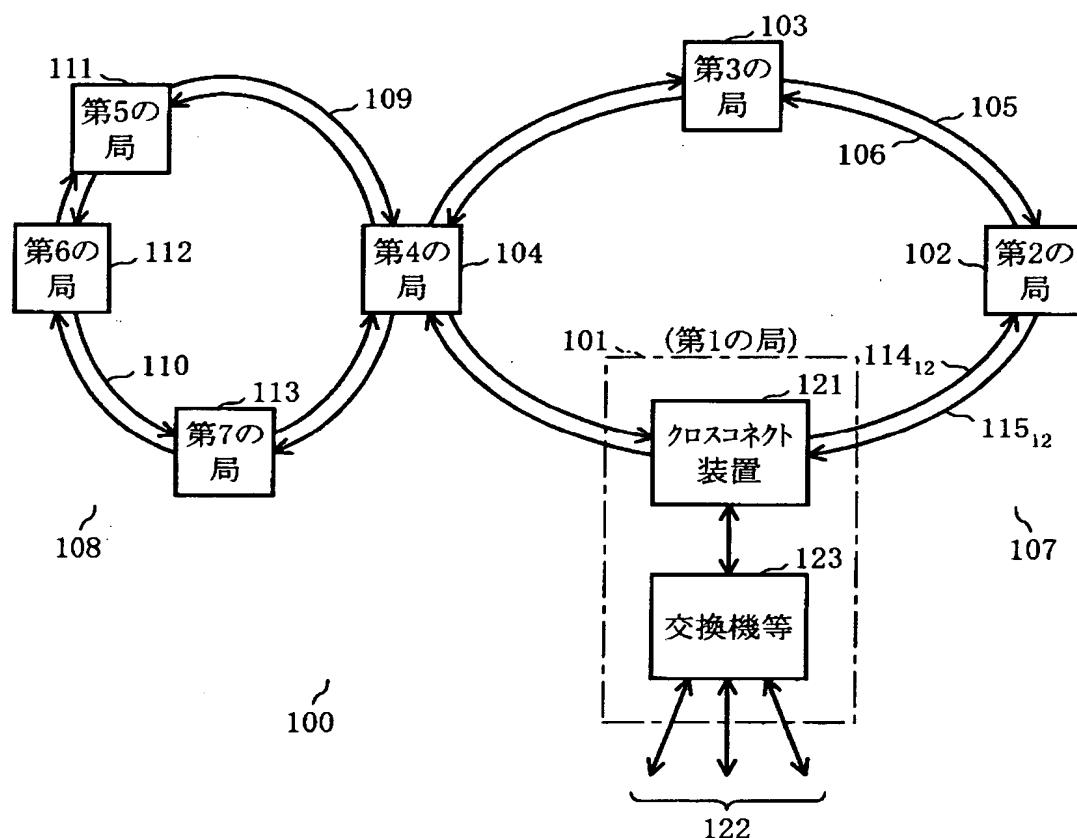
【図18】

	図8方式	図9方式	論理合成による 規模最小化化成
消費電力(mW)	20	30	156
回路規模(Mゲート)	1.2	1.6	1.3

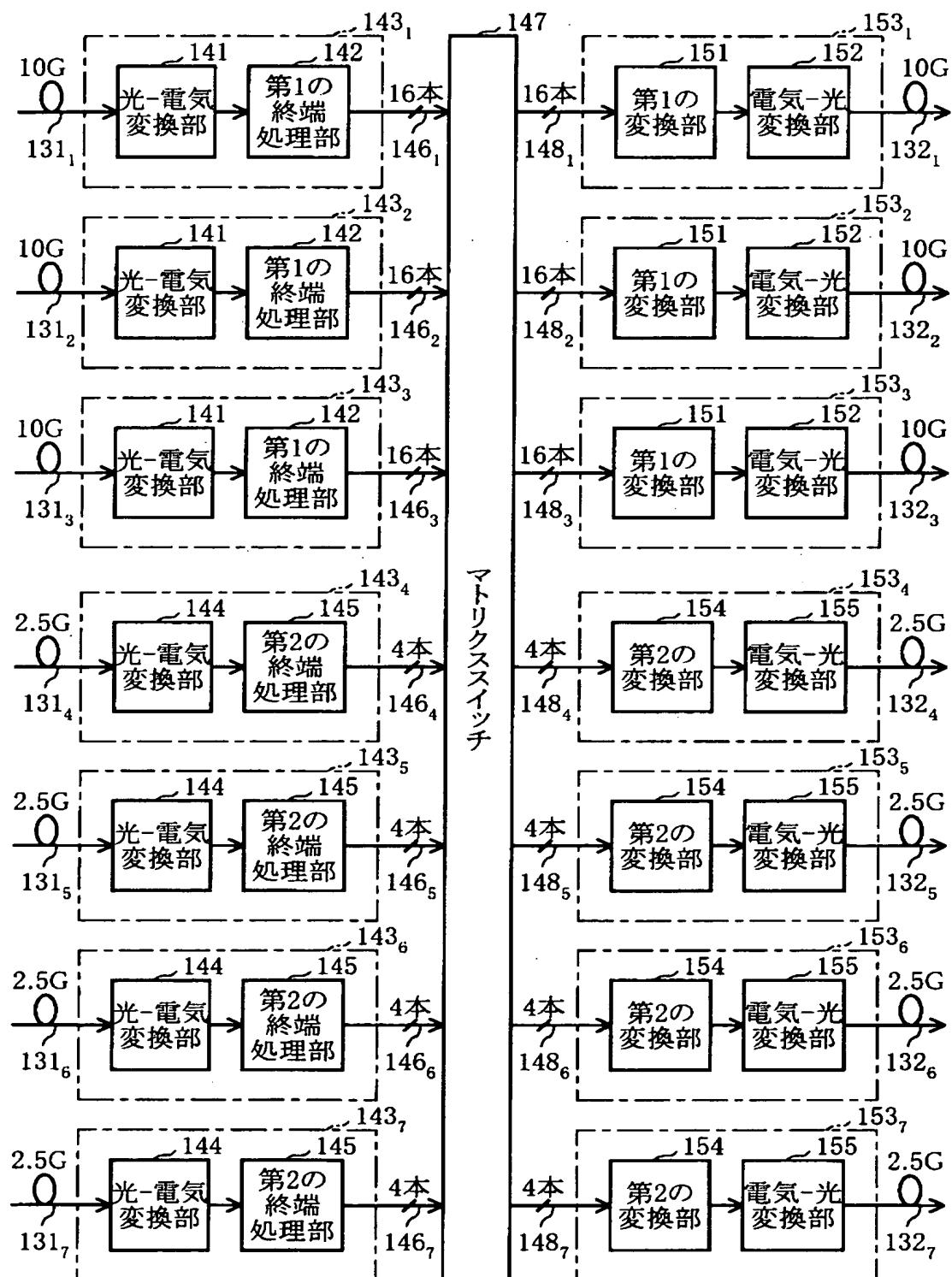
【図19】

	図8方式	図9方式	論理合成による 規模最小化化成
消費電力(mW)	120	180	187
回路規模(Mゲート)	1.0	1.4	1.2

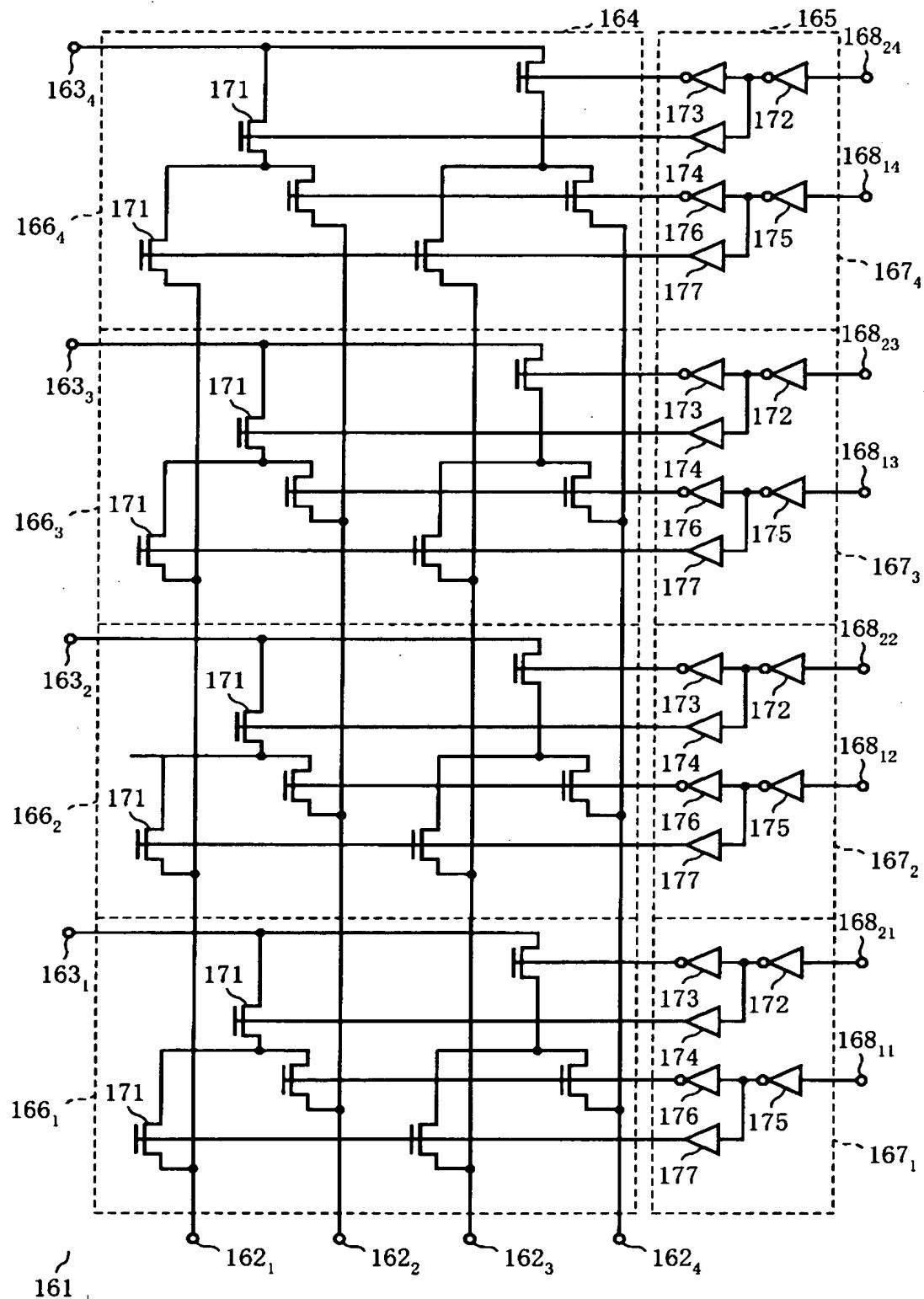
【図20】



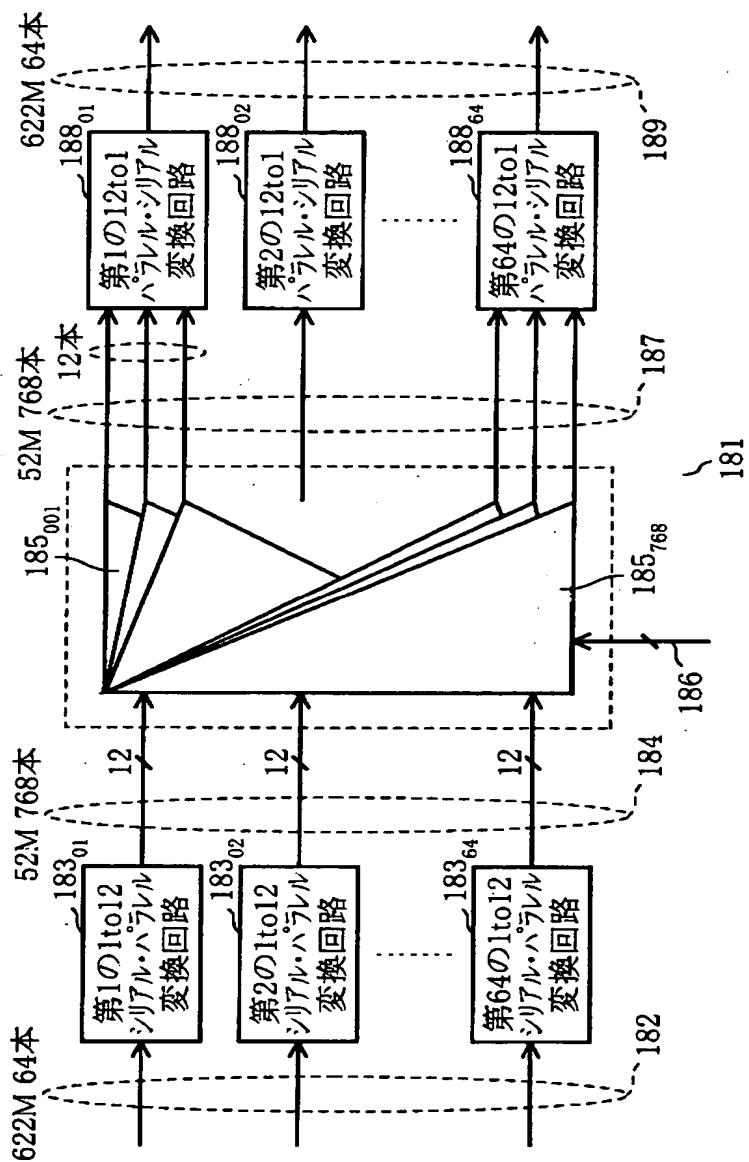
【図21】



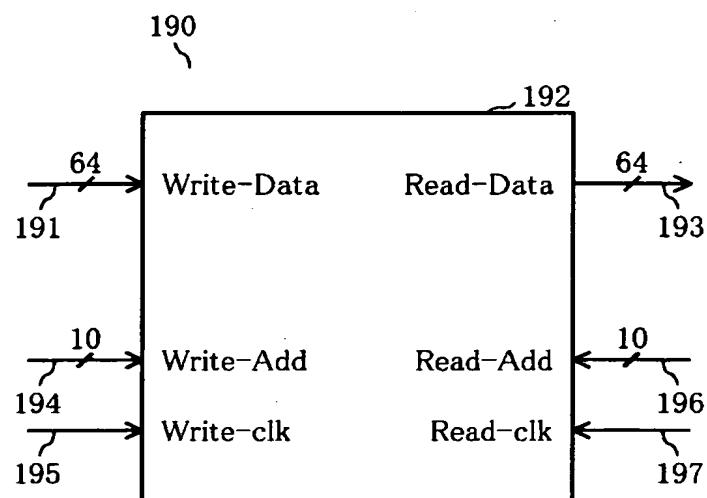
【図22】



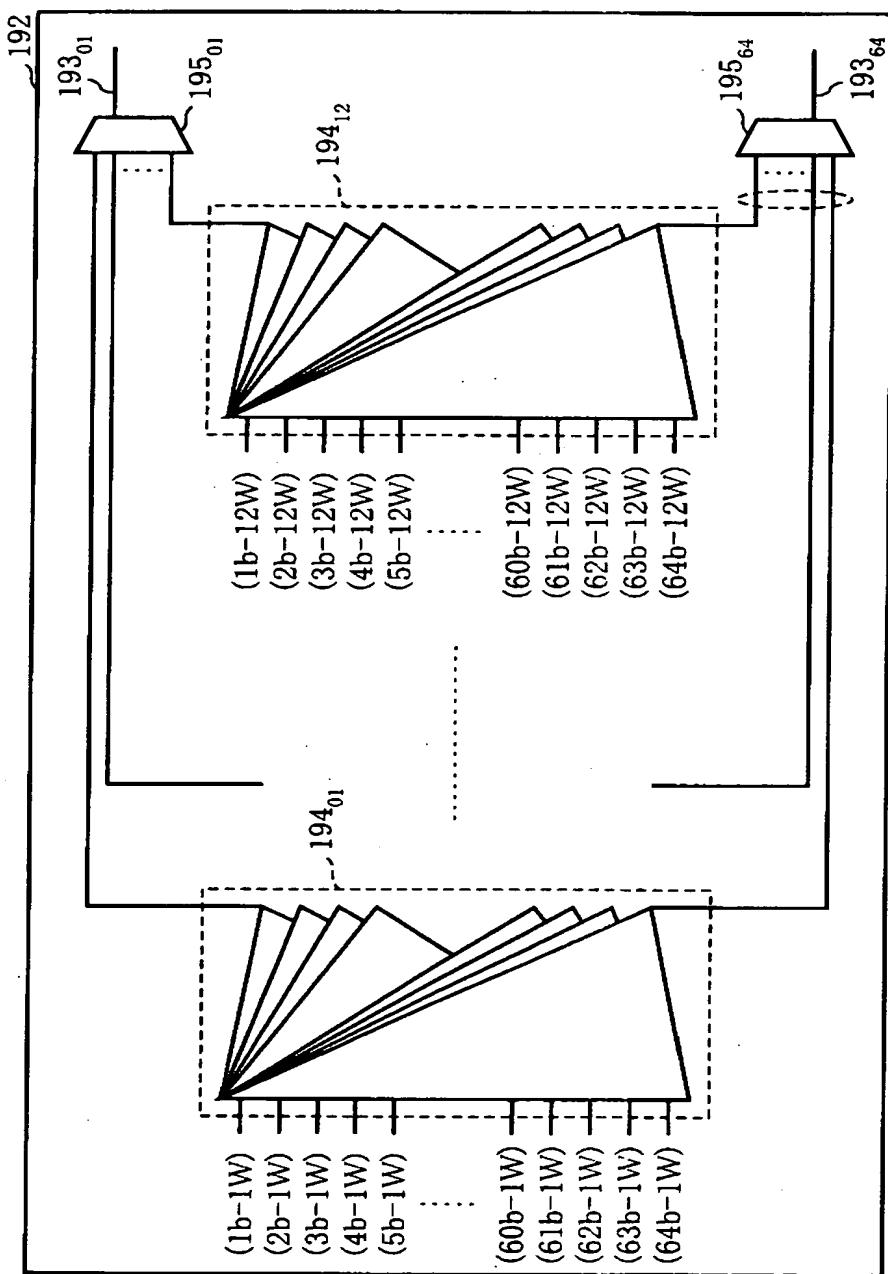
【図23】



【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 LSIの微細化の進む中で、低消費電力化を可能とするLSIとしてのマトリクススイッチ回路を実現すること。

【解決手段】 マトリクススイッチ回路の主要部である第3回路部213は、12個の第1回路部 $211_{00} \sim 211_{11}$ をひとまとめにした第2回路部212を64個備え、第2回路部 $212_{00} \sim 212_{63}$ とした構成となっている。第1回路部211は、それぞれ40Gの入力データ231を8ビットパラレルで622Mb/sずつ64本に分けた単位データ(STS-1)を並列的に入力する64対1セレクタ233を備えている。64対1セレクタ233は、64本に分けられて入力された単位データのうちの特定の1本のデータを選択し、それが12対1セレクタ223で時系列的に選択されることで個々のSTS-12すなわち1フレーム分の信号を選択し、これにより第3回路部213が64組のSTS-12を出力する。64対1セレクタ233の存在により、スイッチをCMOS回路で構成した場合には選択されていない回路部分の消費電力を抑えることができる。また、回路のレイアウトも単純化できる。

【選択図】 図5

認定・付加情報

特許出願の番号	特願2000-138478
受付番号	50000582548
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 5月12日

<認定情報・付加情報>

【提出日】 平成12年 5月11日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社